

TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky, informatiky a mezioborových studií

Měření tloušťky napařované vrstvy

Deposition layer thickness measurement

Bc. Marek Žanta

Studijní program: N2612 – Elektrotechnika a informatika

Studijní obor: 3906T001 – Mechatronika

Pracoviště: Ústav mechatroniky a technické informatiky
Fakulta mechatroniky, informatiky a mezioborových studií
Technická univerzita v Liberci
Studentská 2, 461 17 Liberec

Vedoucí: doc. Ing. Milan Kolář, CSc.

Konzultant: Ing. Jaroslav Vlach

Rozsah diplomové práce:	Počet stran:	104
	Počet obrázků:	53
	Počet tabulek:	11

!!SEM vložit originál zadání práce!!

Prohlášení

Byl jsem seznámen s tím, že na mou diplomovou práci se plně vztahuje zákon č. 121/2000 Sb., o právu autorském, zejména § 60 – školní dílo. Beru na vědomí, že Technická univerzita v Liberci (TUL) nezasahuje do mých autorských práv užitím mé diplomové práce pro vnitřní potřebu TUL.

Užiji-li diplomovou práci nebo poskytnu-li licenci k jejímu využití, jsem si vědom povinnosti informovat o této skutečnosti TUL; v tomto případě má TUL právo ode mne požadovat úhradu nákladů, které vynaložila na vytvoření díla, až do jejich skutečné výše.

Diplomovou práci jsem vypracoval samostatně s použitím uvedené literatury a na základě konzultací s vedoucím diplomové práce a konzultantem.

Datum:

Podpis:

Poděkování

Tímto bych chtěl poděkovat panu doc. Ing. Milanovi Kolářovi, CSc. za jeho rady a ochotnou pomoc při realizaci této diplomové práce, panu Ing. Jaroslavu Vlachovi za ochotnou pomoc, poskytnutí zázemí při tvorbě praktického zařízení a odborné rady, panu Ing. Jaroslavu Dorčíkovi za spolupráci při seznamování s programováním PLC Omron a panu Jaroslavu Chalupkovi a firmě Preciosa a.s. závod 4 Turnov za umožnění odzkoušení praktické části diplomové práce v jejich prostorách a na jejich zařízeních.

Dále bych rád touto cestou poděkoval své rodině za podporu a povzbuzování po dobu mého studia a za poskytnuté zázemí. Nakonec bych zde rád poděkoval všem, kteří zde nejsou uvedeni, a přesto přispěli k vypracování této práce.

Abstrakt

Cílem práce je návrh a realizace měřicí karty sloužící pro měření tloušťky napařovaných tenkých vrstev kovů ve vakuové komoře. Metoda měření je založena na principu poklesu frekvence oscilátoru řízeného krystalem, na nějž dopadá napařovaná vrstva, tzv. dynamické vážení kmitajícím křemenným krystalem. Pokles frekvence je zaznamenán a zpracován měřicí kartou řízenou hradlovým polem FPGA Lattice. Popis chování měřicí karty (FPGA obvodu), vypočítávající přesnou hodnotu frekvence oscilátoru, je psán programovacím jazykem VHDL. FPGA obvod dále zajišťuje komunikaci měřicí karty s programovatelným logickým automatem Omron, který řídí celý napařovací proces.

Samotný návrh je založen na vývoji a tvorbě schématu, desky plošného spoje měřicí karty a programovém vybavení FPGA pro výpočet a komunikaci, včetně programu pro programovatelný logický automat Omron, který zajišťuje řízení procesu na základě příchozích naměřených dat. Realizace se zabývá především osazením, implementací měřicí karty do napařovacího procesu a zprovozněním měření a komunikace karty.

Klíčová slova: vakuové napařování tenkých vrstev, oscilátor řízený krystalem, FPGA, jazyk VHDL, PLC Omron

Abstract

The aim of this Work is design and realization measuring card, that make of for thickness measurement of thin metal overlay in vacuum chamber. Measurement method is based on fall-of in frequency quartz oscillator. At the quartz oscillator impact the thin metal overlay, so be called method as dynamic weighting with oscillating quartz crystal. Fall-of in frequency is recording and working of the measuring card, that is of geared with FPGA Lattice. Software for calculation of exact value oscillator frequency is created in programming language VHDL. Part of software is communication measuring card with programmable logic controller Omron, that control of all steaming procedure.

Design is based on development and production of schematic layout, PCB and software FPGA for calculation and communication, including program for programmable logic controller, that control of steaming procedure be based on input measuring data. To a realization belongs to above all complement of measuring card, implementation to the measuring procedure and launching measurement and card communication.

Keywords: vapour deposition thickness measurement, quartz oscillator, FPGA, programmable language VHDL, PLC Omron

Obsah

Poděkování	4
Abstrakt.....	5
Abstract	6
Obsah.....	7
Seznam obrázků	10
Seznam tabulek	12
Seznam grafů.....	12
Seznam zkratk.....	13
Seznam symbolů.....	15
Úvod.....	17
1. Teoretická část.....	18
1.1 Tenké vrstvy.....	18
1.1.1 Technologie tenkých vrstev	19
1.1.2 Vakuové napařování.....	20
1.1.3 Vakuové naprašování.....	22
1.1.4 Využití a aplikace tenkých vrstev.....	23
1.2 Měřicí zařízení pro měření tloušťky napařené vrstvy.....	24
1.2.1 Optické metody měření.....	24
1.2.2 Frekvenční měřidla	26
1.2.3 Jiné způsoby měření	27
2 Teoretický rozbor měřicí karty ve spolupráci s PLC Omron	29
2.1 Popis programovatelného prvku měřicí karty	29
2.1.1 Obecný popis programovatelných zakázkových obvodů	30
2.1.2 Použité FPGA a jeho základní vlastnosti.....	34

2.2	Popis měřicích krystalů	36
2.2.1	Použitý krystal pro měření	38
2.2.2	Seznámení s měřicím krystalovým oscilátorem.....	39
2.3	Vlastnosti PLC Omron a jeho využití pro řízení napařování	40
3	Praktická část	43
3.1	Obsahový popis měřicí karty	43
3.1.1	Návrh měřicí karty – schéma	44
3.1.2	Funkce FPGA měřicí karty	56
3.1.3	Realizace komunikace karty CMB s PLC Omron.....	60
3.2	Návrh a realizace funkčního vzorku měřicí karty	65
3.2.1	Návrh DPS a jejího vzhledu	65
3.2.2	Rozmístění funkčních prvků a odrušení	67
3.2.3	Návrhový programový systém Eagle 5.10.0	68
3.3	Oživení měřicí karty CMB.....	69
4	Aplikace měřicí karty CMB	70
4.1	Řízení napařování pomocí optických měřidel a měřicí karty	70
4.2	Funkce zpracování signálu v PLC	73
4.3	Zapojení měřicí karty do procesu měření	75
4.4	Výsledky měření.....	76
5	Porovnání výsledků měření CMB s kalibrovaným měřidlem.....	88
5.1	Popis kalibrovaného měřidla	88
5.2	Porovnání výsledků měřicí karty s kalibrovaným měřidlem	89
	Závěr	91
	Použitá literatura	93
	Přílohy	96

A.	Schéma zapojení měřicí karty	96
B.	Návrh DPS měřicí karty	102
C.	Osazená měřicí karta CMB.....	104
D.	Seznam příloh v elektronické formě na CD	104

Seznam obrázků

Obr. 1: Princip technologie vakuového napařování	20
Obr. 2: Stadia strukturního vývoje tenkých vrstev	21
Obr. 3: Princip technologie vakuového naprašování	22
Obr. 4: Aplikace nanášení tenkých vrstev	24
Obr. 5: Měření absorpce světla	25
Obr. 6: Princip interferenčního mikroskopu	25
Obr. 7: Princip frekvenčních měřidel	27
Obr. 8: Mayerova torzní mikrováha	27
Obr. 9: FPGA University Board	30
Obr. 10: Blokové schéma obvodu CPLD	31
Obr. 11: Blokové schéma logického prvku	32
Obr. 12: Blokové schéma FPGA	33
Obr. 13: Vnitřní struktura FPGA Lattice	35
Obr. 14: Krystalový výbrus s elektrodami	36
Obr. 15: Náhradní schéma v okolí hlavního rezonančního kmitočtu	37
Obr. 16: Obecné náhradní schéma krystalu	37
Obr. 17: Průběh reaktance krystalu v okolí žádané rezonance ω_s a ω_p	37
Obr. 18: Teplotní závislost rezonančního kmitočtu řezů AT, GT, CT	38
Obr. 19: Tvar plan-convex	38
Obr. 20: Clappův oscilátor řízený křemenným výbrusem s můstkovým zesilovačem	40
Obr. 21: PLC a jeho napojení na technologický proces	41
Obr. 22: PLC Omron CJ1M CPU13	42
Obr. 23: Blokové schéma měřicí karty CMB	45
Obr. 24: Použitý chladič stabilizátoru 7805	47
Obr. 25: Proudová pojistka měřicí karty CMB	47
Obr. 26: Reset paměťového jádra pomocí Gsrn	48

Obr. 27: Možnosti programování FPGA Lattice	49
Obr. 28: Propojení ispJtag kabelu s FPGA Lattice	50
Obr. 29: Odrušení tlačítka pomocí D-klopného obvodu	52
Obr. 30: Zapojení RS232 u PLC Omron	53
Obr. 31: Zapojení RS422 u PLC Omron	54
Obr. 32: Sériová komunikace RS232/RS422 – karta CMB	54
Obr. 33: Ošetření pinů FPGA připojených k dutinkové liště	55
Obr. 34: Blokové schéma technického řešení funkce FPGA obvodu	56
Obr. 35: Odstranění metastabilit externího hodinového signálu.....	58
Obr. 36: Stavový automat sériové komunikace	59
Obr. 37: Programovací kabel Omron	61
Obr. 38: Sériová karta SCU41-V1	61
Obr. 39: Nastavení parametrů komunikace	61
Obr. 40: Parametrizování instrukce RXDU.....	62
Obr. 41: Význam bitů kontrolního slova (Control word).....	63
Obr. 42: Ukládání přijatých bytů	63
Obr. 43: Použití instrukce RXDU včetně příznaků a nastavení.....	65
Obr. 44: Deska plošného spoje měřicí karty CMB	66
Obr. 45: Rozmístění jednotlivých částí na DPS.....	67
Obr. 46: Příklad tvorby součástky (Lattice LCMXO640).....	68
Obr. 47: Princip měření optickými měřidly.....	70
Obr. 48: Napařovací proces včetně měření rychlosti napařování	71
Obr. 49: Uložení křemenného krystalu v pouzdře chlazeném vodou	72
Obr. 50: Filtrování chybných informací o měřené frekvenci	73
Obr. 51: Funkce pro výpočet změny frekvence (rychlost napařování)	74
Obr. 52: Napařený dekor AB na bižuterním kamínku	76
Obr. 53: Univerzální čítač Hewlett Packard 53131A.....	89

Seznam tabulek

Tab. 1: Rozsahy pracovních hodnot FPGA LCMXO640.....	34
Tab. 2: Napájecí proudy FPGA v různých pracovních režimech	35
Tab. 3: Maximální hodnoty pracovních hodnot stabilizátoru 7805	46
Tab. 4: Nastavení řídicích pinů obvodu 74LVC4245	51
Tab. 5: Popis a přiřazení příznaků (flagů) sériové komunikace	64
Tab. 6: Průběh mezních hodnot napařovacího procesu Ti, Si	76
Tab. 7: Výsledky měření s novým krystalem	78
Tab. 8: Výsledky měření s čištěným krystalem	80
Tab. 9: Výsledky měření s použitým (nečištěným) krystalem	82
Tab. 10: Naměřené poklesy frekvence při napařování vrstev Si a Ti	87
Tab. 11: Výsledky naměřených frekvencí CMB a kalibrovaným čítačem.....	90

Seznam grafů

Graf 1: Teplotní závislost rezonančního kmitočtu krystalového rezonátoru 5 MHz	39
Graf 2: Oblast průběhu napařovacího procesu dle měřidel	77
Graf 3: Výsledky měření frekvence a teploty (nový krystal)	79
Graf 4: Výsledky měření frekvence a teploty (čištěný krystal)	81
Graf 5: Výsledky měření frekvence (použitý nečištěný krystal)	83

Seznam zkratk

CMB	<i>Crystal Measurement Board</i> – název navrhované měřicí karty
CPLD	<i>Complex Programmable Logic Device</i> – komplexní programovatelné logické pole
CPU	<i>Central Processing Unit</i> – základní výpočetní jednotka (procesor)
CVD	<i>Chemical Vapour Deposition</i> – nanášení tenké vrstvy chemickým způsobem
DIN	<i>Deutsche Industrie Norm</i> – německá průmyslová norma
DPS	Deska Plošného Spoje
DSP	<i>Digital Signal Processing</i> – zpracování číslicového signálu
EBR	<i>Embedded Block Ram</i> – začleněná paměť programu
EBPVD	<i>Electron Beam PVD</i> – nanášení tenké vrstvy elektronovým paprskem
EEPROM	<i>Electrically Erasable Programmeble ROM</i> – elektricky vymazatelná programovatelná paměť ROM
ELD	<i>Electro Luminiscent Display</i> – elektroluminiscenční displej
ESR	<i>Equivalent Series Resistance</i> – ekvivalentní sériový odpor kondenzátoru
FLASH	Elektricky programovatelná (zapisovatelná) paměť s libovolným přístupem
FPGA	<i>Field Programmable Gate Array</i> – programovatelné hradlové pole
FUB	<i>FPGA University Board</i> – název zařízení pro výuku návrhu funkcí VHDL
GND	<i>Ground</i> – zemní potenciál
HDL	<i>Hardware Description Language</i> - jazyk pro popis technických prostředků
HEX	Jednotka udávající šestnáctkovou soustavu
IP cores	<i>IP jádro</i> – vnitřní funkce FPGA realizující různé složité operace
JTAG	<i>Joint Test Action Goup</i> – programovací rozhraní
LCD	<i>Liquid Crystal Display</i> – displej z tekutých krystalů
LED	<i>Light Emitting Diode</i> – svítivá dioda
LUT	<i>Look-Up Table</i> – vyhledávací tabulka
IO	Integrovaný Obvod

I/O	<i>Input/ Output</i> – vstup/ výstup
MOVPE	<i>Metal Organic Vapour Phase Epitaxy</i> – epitaxe z organokovových sloučenin
MOSFET	<i>Metal Oxide Semiconductor FET</i> – tranzistor řízený polem s izolovaným hradlem
OLMC	<i>Output Logic Macro Cell</i> – výstupní logická makrobuňka
PAL	<i>Programmable Array Logic</i> – programovatelné logické pole
PC	<i>Personal Computer</i> – osobní počítač
PD	<i>Plasma Display</i> – plazmový displej
PECVD	<i>Plasma enhanced chemical vapour deposition</i> – CVD iniciované plazmou
PFF	<i>Programmable Function Unit without RAM</i> – programovatelná jednotka funkcí bez paměti RAM
PFU	<i>Programmable Function Unit with RAM</i> – programovatelná jednotka funkcí s pamětí RAM
PLC	<i>Programmable Logic Controller</i> – programovatelný automat pro řízení technologických procesů
PLD	<i>Programmable Logic Device</i> – programovatelné logické zařízení
PPM	<i>Parts Per Milion</i> – jedna miliontina
PROM	<i>Programmable ROM</i> – programovatelná paměť ROM
PVD	<i>Physical Vapour Deposition</i> – nanášení tenké vrstvy fyzikálním způsobem
RAM	<i>Random Acces Memory</i> – paměť s náhodným přístupem
ROM	<i>Read only memory</i> – permanentní nevolatilní paměť
RTL	<i>Register Transfer Lever</i> – úroveň toku dat
SMD	<i>Surface Mounted Device</i> – součástky pro povrchovou montáž
SRAM	<i>Static RAM</i> – statická paměť RAM
UV	<i>Ultra Violet</i> – ultrafialové záření
VHDL	<i>VHSIC HDL</i> – jazyk pro popis hardware
VHSIC	<i>Very High Speed Integrated Circuits</i> – velmi rychlé integrované obvody

Seznam symbolů

C	- kapacita kondenzátoru [F]
C_0	- statická kapacita elektrod včetně držáku krystalu [F]
d	- tloušťka nanesené vrstvy [m]
df	- změna frekvence kmitání krystalu [Hz]
dm	- změna hmotnosti nanesené vrstvy materiálu [kg]
dt	- změna tloušťky krystalu nanesením vrstvy [m]
f_v	- vlastní frekvence kmitů krystalu [Hz]
I	- intenzita prošlého světla [lx] (kapitola 1.2.1)
I	- proud [A]
I_0	- intenzita dopadajícího světla [lx] (kapitola 1.2.1)
k_r	- koeficient rozšíření [-]
L	- indukčnost cívky [H]
m	- hmotnost vrstvy materiálu [kg]
n	- pořadové číslo měření [-]
\bar{n}	- střední hodnota z naměřených hodnot frekvence [Hz]
N	- frekvenční konstanta daného typu řezu krystalu [kHz.mm]
n_i	- aktuální naměřená hodnota frekvence [Hz]
P_z	- vyzařovaný výkon stabilizátoru [W]
Q	- činitel jakosti krystalu [-]
R	- odrazivost rozhraní vzduch – vrstva [-] (kapitola 1.2.1)
R	- ztrátový odpor [Ω]
R_{ϑ}	- celkový tepelný odpor obvodu stabilizátoru [K/W]
$R_{\vartheta ja}$	- tepelný odpor přechod – okolí [K/W]
$R_{\vartheta cs}$	- tepelný odpor mezi pouzdro – chladič [K/W]

$R_{\vartheta jc}$	- tepelný odpor přechod – pouzdro [K/W]
$R_{\vartheta sa}$	- tepelný odpor chladiče [K/W]
S	- plocha vrstvy na níž se nanáší materiál [m ²]
t	- tloušťka krystalu [m]
t_f	- doba přenosu jednoho bitu [s]
t_p	- doba nastavení povolovacího bitu pro čtení z registru [s]
U	- napětí [V]
u_A	- standardní nejistota typu A měřené frekvence [Hz]
u_B	- standardní nejistota typu B měřené frekvence [Hz]
$u_{B1}, u_{B2}, u_{B3}, u_{B4}, u_{B5}$	- složky nejistoty typu B [Hz]
u_c	- standardní kombinovaná nejistota měřené frekvence [Hz]
U_{GS}	- napětí gate–source tranzistoru MOSFET [V]
U_r	- rozšířená nejistota měřené frekvence [Hz]
v_p	- rychlost příčných elastických vln kmitání krystalu [m.s ⁻¹]
$\Delta z_1, \Delta z_2, \Delta z_3, \Delta z_4, \Delta z_5$	- maximální odchylky jednotlivých zdrojů nejistot typu B [Hz]
α	- součinitel absorpce vrstvy [m ⁻¹]
α_f	- teplotní součinitel krystalu [K ⁻¹]
ϑ_a	- teplota okolí stabilizátoru [K]
ϑ_c	- teplota chladiče [K]
ϑ_j	- teplota přechodu stabilizátoru [K]
ω_P	- paralelní rezonanční úhlový kmitočet krystalu [rad.s ⁻¹]
ω_S	- sériový rezonanční úhlový kmitočet krystalu [rad.s ⁻¹]
ρ	- měrná hmotnost (hustota) nanesené vrstvy [kg.m ⁻³]
ρ_k	- hustota křemene [kg.m ⁻³]
$\theta_1, \theta_2, \theta_3, \theta_4, \theta_5$	- koeficienty rozšíření pro jednotlivé zdroje nejistot typu B

Úvod

Práce byla zadána na základě požadavku firmy Preciosa a.s. závod 4 Turnov, kde jsou využívány technologie vakuového napařování pro dekorativní nanášení tenkých vrstev. Zařízení, v němž jsou prováděny napařovací procesy, řídí zastaralý řídicí systém, který je nahrazován systémem PLC Omron. Stávající měřicí zařízení je pro PLC nevyhovující a nepodporuje komunikaci s tímto systémem, proto je nutná jeho modernizace.

Vakuové technologie napařování patří mezi nejčastější průmyslové technologie nanášení tenkých vrstev. Využití tenkých vrstev nachází uplatnění v oblastech elektroniky, strojírenství, lékařství, dekorativní techniky a dalších. Při procesu napařování je zapotřebí řídit rychlost nanášení tenkých vrstev a zároveň měřit jejich tloušťku. K tomuto účelu slouží různé druhy měřidel. Nejčastější jsou optická měření a měření využívající frekvenční měřidla. Diplomová práce se zabývá měřením tloušťky pomocí frekvenčních měřidel, na základě využití oscilátoru řízeného křemenným krystalem. Jedná se o osvědčenou metodu, pro niž jsou napařovací komory firmy Preciosa a.s. přímo uzpůsobeny. Výstupní signál z oscilátoru je potřeba zpracovat, aby dle něj bylo možné řídit napařovací proces. Zpracování signálu a jeho následnou úpravu pro řízení napařovacího procesu má za úkol měřicí karta, která je výsledkem diplomové práce. Bylo tedy nutné navrhnout a vytvořit fyzické zařízení, které je schopné ze signálu měřicího oscilátoru vypočítat frekvenci a pomocí komunikačního rozhraní informaci o naměřené hodnotě posílat řídicímu systému PLC. V řídicím systému musí být vytvořena aplikace pro příjem, zpracování a matematickou úpravu signálu.

Komerčně dostupná zařízení pro měření tenkých vrstev jsou většinou dodávána přímo s určitým řídicím systémem. Jejich využití je tímto systémem omezené a nelze je použít s jinými řídicími systémy. Případně jsou na trhu víceúčelové karty, které nabízejí možnost řízení rozsáhlých procesů a pro řízení jednoho procesu jsou zbytečně složité a drahé. Z výše uvedených důvodů byla diplomová práce zadána s přímou specifikací na řídicí systém a implementované funkce.

1. Teoretická část

Teoretická část práce obecně popisuje řešené problémy, používané technologie a zařízení, které jsou nezbytné pro praktickou tvorbu a pro pochopení řešeného problému. Zabývá se popisem technologií nanášení tenkých vrstev ve vakuu, měřením tloušťky těchto vrstev a rozбором klíčových částí navrhované měřicí karty. Ta využívá pro měření tloušťky napařovaných vrstev a rychlosti napařování osvědčenou metodu měření pomocí oscilátoru řízeného krystalem. Vybrána byla právě tato metoda z důvodu možnosti měření tloušťky napařené vrstvy, i rychlosti napařování, na základě naměřené frekvence.

1.1 Tenké vrstvy

Vrstvové technologie jsou založeny na nanášení vrstev materiálů s definovanou tloušťkou na nosný substrát. Pro tenké vrstvy se tloušťka pohybuje v rozmezí od několika desítek nm až po jednotky μm , záleží na požadovaných vlastnostech a používané technologii.

V tenkých vrstvách dochází k rozdílným fyzikálním vlastnostem ve srovnání s materiály objemovými, což je dané velmi malými rozměry a depoziční technologií. Ta má také vliv na fyzikální vlastnosti, neboť často probíhá při termodynamicky nerovnovážných podmínkách.

Pro nanášení tenkých vrstev se často používají vakuové technologie, které ke správné činnosti potřebují dosahovat hodnot řádově až 10^{-8} Pa. K dosažení vakua se používají různé typy vývěv:

- **Rotační vývěvy** – k předčerpání pracovního prostoru (10^{-1} Pa).
- **Difuzní vývěvy** – využívají proud par (olejových) pro nasměrování molekul odčerpávaného plynu k odtahu (10^{-5} Pa).
- **Kryovývěvy** – kombinované často s difuzní vývěvou pro odstranění olejových par, neboť na studených površích plyny a páry kondenzují (chladícím médiem = stlačené helium, suchý led atd.).
- **Ionizační vývěvy** – molekuly ionizovaného plynu urychlovány v silném elektrickém poli (tlak až 10^{-10} Pa). [9]

1.1.1 Technologie tenkých vrstev

Vytváření tenkých vrstev je závislé na používané technologii nanášení. Technologických metod nanášení tenkých vrstev je několik. Mezi nejpoužívanější patří především:

- **CVD** – Jedná se o chemickou depozici z plynné fáze pro tvorbu tenkých vrstev. Může se jednat o reakce jedné, či více látek, kdy reakční produkt vytváří na substrátu tenkou vrstvu. Technologie probíhá za zvýšené teploty. Vedlejší produkty procesu jsou odsáty vakuem, nebo odstraněny proudem plynu. Využití metody je například při tvorbě vrstev křemíku, oxidu křemičitého, či vysoce čistých kovů (Mb, Ti, Ni). Při teplotách až 1500°C lze nanášet i vrstvy na bázi uhlíku (dimant).
- **PECVD** – CVD iniciované plazmou – Při výboji v plynu dochází ke srážkám elektronů s vysokou energií s těžkými molekulami plynu, čímž se produkují vysoce reaktivní částice. Výhodou metody je pokles teploty při nanášení vrstev. Řízení reakce je však horší a hrozí poškození vrstev energetickými ionty a UV zářením.
- **PVD** – Jde o technologii nanášení tenkých vrstev kondenzací par pevné látky na různých površích. Tento fyzikální proces není doprovázený žádnou chemickou reakcí. Dělení PVD je následující:

napařování – odpaření ve vakuu pomocí odporového ohřevu,

EBPVD – odpařovaný materiál = anoda. Odpaření v důsledku bombardování povrchu materiálu svazkem elektronů,

naprašování – deponovaný materiál = katoda. Povrch katody bombardován ionty pracovního plynu, čímž dochází k odprašování iontů deponované látky a vytváření povlaku na substrátu,

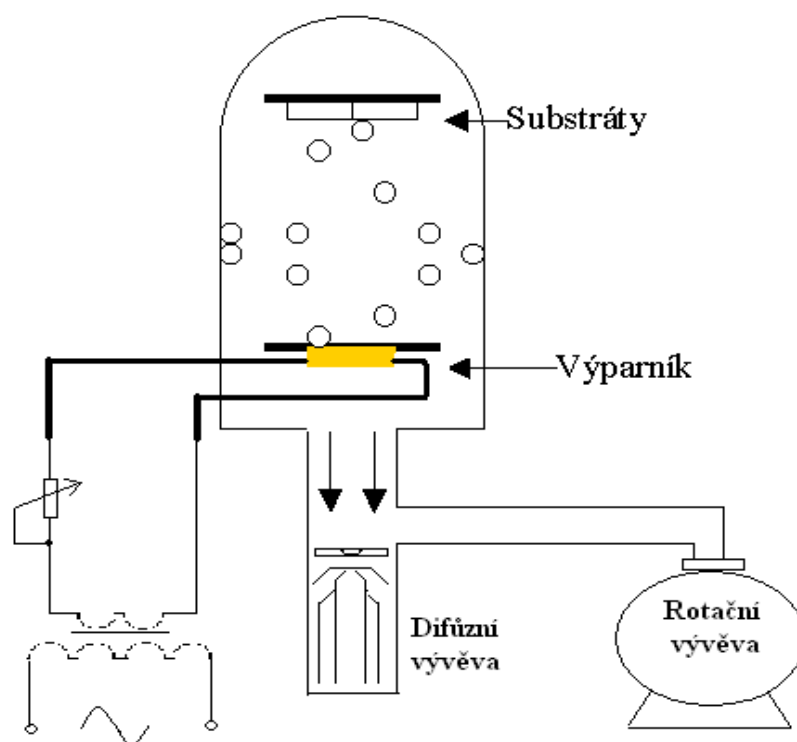
PLD – deponovaný materiál vystaven pulzům laserového svazku. Atomy materiálu tím získávají značné množství energie pro převedení do plynné fáze.

- **MOVPE** – Technologie depozice tenkých vrstev z par spojená s chemickou reakcí. Využití pro přípravu laserových diod, LED diod a solárních článků.
- **Iontová implantace** – Technologie řídí definovanou dobu bombardování materiálu ionty s energií až 10^6 eV. V principu lze zavádět libovolný prvek do libovolné pevné látky. Využití v lékařství, polovodičovém průmyslu atd. [9]

Jedny z nejpoužívanějších metod v průmyslu jsou metody PVD napařování a napařování tenkých vrstev. Prioritní technologií práce je vakuové napařování, probíhající v napařovacích zařízeních Balzers ve firmě Preciosa a.s. Pro tato zařízení je vyvíjena měřicí karta pro měření tloušťky napařené vrstvy. V následujících kapitolách budou obě technologie PVD stručně popsány v rozsahu nezbytném pro tuto práci.

1.1.2 Vakuové napařování

Jedná se o nejjednodušší technologii výroby tenkých vrstev, kdy částice nanášeného materiálu jsou uvolňovány důsledkem zahřívání v uzavřeném systému (Obr. 1). Materiál určený k depozici¹ je umístěn v kontejneru (lodička nebo spirála z tepelně odolného a vodivého materiálu). Zahřívání je způsobeno průchodem elektrického proudu takové hodnoty, až dojde k tání či sublimaci zdrojového materiálu (obvykle $300 \div 400 \text{ }^{\circ}\text{C}$). Teplotu ohřevu je třeba regulovat, aby nepřesáhla teplotu dekompozice materiálu při napařování sloučenin. V případě napařování prvků musí být teplota hlídána, aby nedošlo k přetavení lodičky, případně její reakci s odpařovanou látkou. [17]



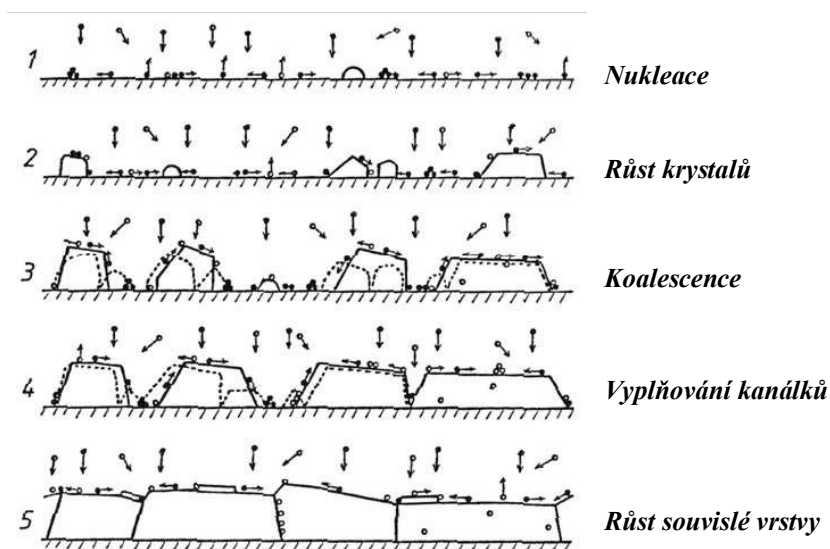
Obr. 1: Princip technologie vakuového napařování

¹ Depozice – depozice z plynné fáze je chemický proces využívaný pro přípravu tenkých filmů

V uzavřeném systému je ustálen rovnovážný tlak. Je-li rovnováha porušena a v určitém místě je teplota nižší, dochází zde ke kondenzaci par, čímž jsou vytvořeny vhodné podmínky pro přenos materiálu z výparníku (lodička) na podložku (vsázka). Vsázka pro pokovení není při procesu tepelně namáhána, neboť tepelná energie se ve vakuu šíří mnohem pomaleji. Proto lze nanášet vrstvy i na tepelně náchylné materiály, jako je například plast. Proces napařování probíhá ve vakuu $10^{-2} \div 10^{-6}$ Pa z důvodu zvětšení střední volné dráhy molekul nanášeného materiálu. [8]

Důležitým parametrem je rychlost růstu napařovaného filmu. Pro dosažení vysoké dokonalosti krystalické struktury jsou voleny nízké depoziční rychlosti ($0,01 \div 1$ nm/s). Růstové podmínky vrstvy jsou unikátní v každé fázi růstu a jsou ovlivněny strukturními podmínkami během předchozího stupně. Idealizovaný případ růstu tenkých vrstev neuvažuje vliv vázaných nečistot na podložkách (Obr. 2). Rozlišuje se 5 základních stupňů procesů růstu vrstvy:

- nukleace = tvorba shluků pevných, nebo kapalných fází,
- růst krystalů = krystaly rostou navzájem nezávisle po povrchu substrátu,
- koalescence = specifická fáze růstu ve strukturním vývoji tenké vrstvy. Pokud se sousední zrna začnou dotýkat, nastává srůstání = nový strukturní element,
- vyplňování kanálků,
- růst souvislé vrstvy.



Obr. 2: Stadia strukturního vývoje tenkých vrstev [17]

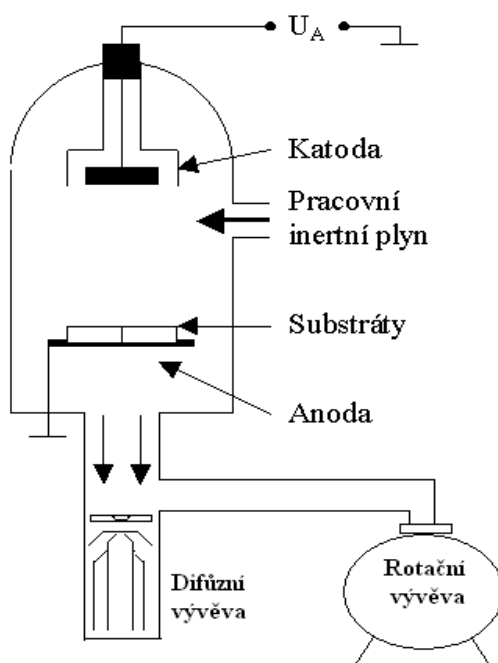
U většiny reálných tenkých vrstev je ale struktura velmi odlišná od ideální. Tato skutečnost je způsobena hlavně vlivem nečistot přítomných v prostředí a v odpařovaném materiálu. Také tlak v soustavě a teplota podložek mají výrazný vliv na výslednou strukturu napařované vrstvy. [17]

1.1.3 Vakuové napařování

Pro vakuové napařování tenkých vrstev se používají dvě metody, tzv. klasické napařování a magnetronové napařování.

Klasické napařování

Při této metodě je terč z vodivého materiálu umístěn ve vakuové komoře a připojen na vysoký záporný potenciál (řádově tisíce voltů). Tvoří tedy katodu elektrodového systému. Substráty, na nichž má být vrstva vytvořena, se umísťují na anodu (Obr. 3). Do komory se připouští pracovní plyn (Ar, N) a tlak se udržuje na hodnotě jednotek pascalu. V pracovním prostoru se vytvoří doutnavý výboj, jenž zapříčiní nerovnoměrné rozložení potenciálu v prostoru a katodový spád v okolí katody. Tedy kladné ionty vznikající ve výboji jsou unášeny směrem ke katodě a v oblasti katodového spádu urychleny tak, že po dopadu na katodu z ní vyrážejí částice napařovaného materiálu.



Obr. 3: Princip technologie vakuového napařování

Tyto částice se poté šíří prostorem a usazují se na okolních tělesech, tedy i na anodě, na které jsou umístěny substráty. Pro zajištění lepší homogenity naprašované vrstvy je vhodné, aby se substráty pohybovaly. [8],[13]

Zdokonalenou technologií vakuového naprašování je tzv. **Magnetronové naprašování**, které využívá elektromagnety, případně permanentní magnety, pro vytvoření magnetického pole definovaného tvaru před terčem. Důvod využívání této metody spočívá v prodloužení dráhy elektronů a jejich setrvání v oblasti elektrického výboje, čímž se zvyšuje i pravděpodobnost ionizace dalších atomů pracovního plynu. Výhodou je možnost udržení výboje při nižším tlaku (desetiny pascalu) a nižším napětí (stovky voltů), což se výsledně projeví na čistotě naprašovaných vrstev.

Výhody naprašování tenkých vrstev spočívají v možnosti depozice z těžkovitelných materiálů a v možnosti homogenní depozice vrstev i na větších plochách. [13]

Více informací o technologii naprašování lze najít v použité literatuře. [13]

1.1.4 Využití a aplikace tenkých vrstev

Tenké vrstvy se používají k povrchovým úpravám různých substrátů. Možnosti využití tenkých vrstev jsou velice rozsáhlé (Obr. 4). Mezi nejvýznamnější patří využití v elektrotechnickém průmyslu, strojírenství, energetice, dekorační technice, lékařství a v dalších odvětvích.

Tvrdé diamantové vrstvy – nanášejí se na řezné nástroje, což několikanásobně zvýší jejich životnost (CVD, PVD technologie).

Optické vrstvy – využívají se například k antireflexnímu pokrytí čoček, na interferenční filtry a k nanesení reflexních vrstev na zrcadla.

Kovové vrstvy – (Al, Au, Cu) používají se především jako kontakty polovodičů a Schottkyho bariéry.

Dekorační vrstvy – (Si, Ti, Al) veliký význam mají v bižuterním průmyslu, v procesech pozlacování materiálů a dalších odvětvích.



Obr. 4: Aplikace nanášení tenkých vrstev

Velice zajímavé jsou průhledné tenké vrstvy ve viditelné oblasti záření, které jsou elektricky vodivé. Takové vrstvy lze použít k povrchové úpravě skla či průhledných fólií, jako odporových vrstev sloužících k vyhřívání Jouleovým teplem, ke svádění nežádoucích elektrostatických nábojů z nevodivých povrchů nebo jako transparentní elektrody k plochým zobrazovacím prvkům a k solárním článkům. Takové elektrody jsou používány v plochých zobrazovacích prvcích (LCD, PD, ELD), například v kalkulačkách, monitorech či měřicích přístrojích. [14]

1.2 Měřicí zařízení pro měření tloušťky napařené vrstvy

Pro měření tloušťky tenkých napařených vrstev se používají různé metody. Mezi nejpoužívanější patří optické měření a měření využívající oscilátor řízený krystalem, tzv. dynamické vážení kmitajícím křemenným výbrusem. Metoda dynamického vážení slouží zároveň pro určení rychlosti napařování tenkých vrstev. Obě tyto metody měření využívá i firma Preciosa a.s. v napařovacích zařízeních Balzers.

Dalšími možnými metodami měření jsou elektrické, váhové a speciální metody.

1.2.1 Optické metody měření

Při měření optickými metodami se vychází ze třech fyzikálních jevů, které nastávají při interakci světla s látkou – absorpce, interference a polarizace.

Absorpce světla je proces, při němž je energie fotonu pohlcena atomem látky, jehož valenční elektrony přecházejí mezi dvěma úrovněmi energie. Foton v procesu zaniká a pohlcená energie je buď vyzářena, nebo přeměněna na tepelnou energii. [22]

Při měření tloušťky napařované vrstvy prochází záření vrstvou a původní intenzita je zeslabena (Obr. 5). Platí vztah:

$$I = I_0(1 - R)^2 \exp(-\alpha d) \quad [\text{lx}] \quad (1)$$

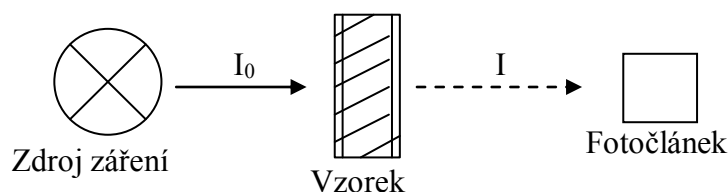
I intenzita prošlého světla [lx],

I_0 intenzita dopadajícího světla [lx],

d tloušťka vrstvy [m],

α součinitel absorpce vrstvy pro dané záření (vlnovou délku záření) [m^{-1}],

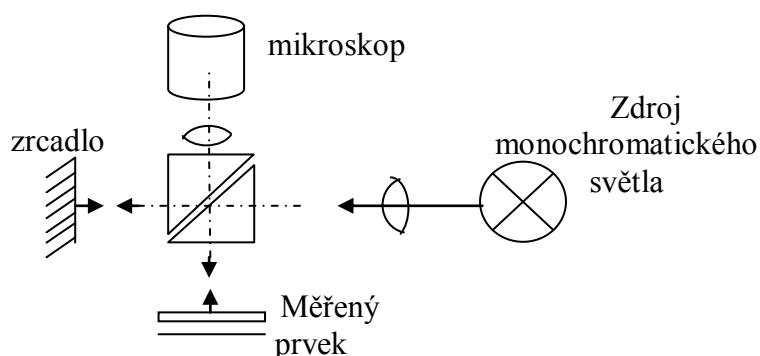
R odrazivost rozhraní vzduch - vrstva [-]. [18]



Obr. 5: Měření absorpce světla

Interference světla je projevem skládání světelných vln. Projevuje se zesilováním i zeslabováním intenzity světla v různých místech. Při měření se využívá interference světla při dopadu na tenkou vrstvu. Pro měření tloušťky vrstev se používá např. interferenční mikroskop (Obr. 6).

Interferenci lze pozorovat buď v prošlém, nebo v odraženém světle. Vztahy pro výpočet tloušťky nanášené vrstvy pomocí interferenční metody lze najít v použité literatuře. [18]



Obr. 6: Princip interferenčního mikroskopu [19]

Použitím polychromatického bílého světla se vrstva jeví zbarvená podle toho, které vlnové délky byly zeslabeny a které zesíleny. Dle barvy lze tedy přímo určit tloušťku vrstvy.

Polarizace světla nastává například po odrazu od předmětů pod určitým úhlem, popřípadě po průchodu speciálními krystaly. Obecně je světlo nepolarizované. Polarizace je jev, kdy výchylky vlnění probíhají v určitém směru a ne chaoticky v různých směrech.

Pro měření tenkých vrstev se používá tzv. polarizační (elipsosymetrická) metoda, která je ovšem velice pracná. Pro běžné měření je tedy nevhodná. Její výhoda spočívá v možnosti určení jak tloušťky, tak optických vlastností vrstvy. Více informací o této metodě lze najít v použité literatuře. [18]

1.2.2 Frekvenční měřidla

Frekvenční měření využívá vlastností oscilátorů řízených krystalem. Tato metoda se nazývá dynamické vážení kmitajícím křemenným výbrusem (Obr. 7). Nanášená vrstva se usazuje na jedné elektrodě křemenného výbrusu (přesně vybroušená destička krystalu křemene opatřená elektrodami na protilehlých stranách). Před procesem napařování má krystal při dané tloušťce t určitou vlastní frekvenci kmitů:

$$f_v = \frac{v_p}{2 \cdot t} = \frac{N}{t} \quad [\text{Hz}] \quad (2)$$

v_p rychlost příčných elastických vln ve směru tloušťky vrstvy výbrusu t [m.s^{-1}],

N frekvenční konstanta (různá pro určité typy řezů krystalu, např. pro tzv.

AT řez je $N = 1670 \text{ kHz.mm}$) [kHz.mm].

Během procesu napařování se na krystalu výbrusu křemene usazuje vrstva napařovaného materiálu o hmotnosti dm , čímž dojde ke změně tloušťky krystalu:

$$dt = \frac{1}{\rho_k \cdot S} \cdot dm \quad [\text{m}] \quad (3)$$

ρ_k hustota křemene, [kg.m^{-3}]

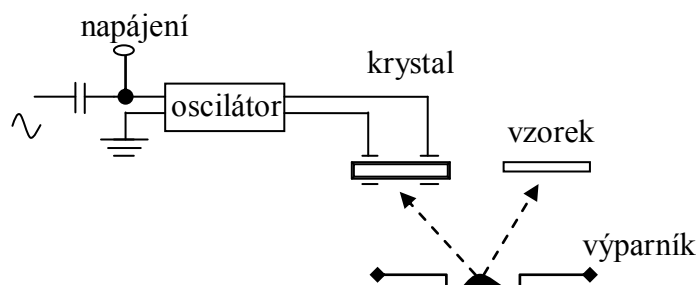
S plocha vrstvy, na níž se nanáší napařovaný materiál. [m^2]

Změna frekvence je tedy:

$$df = -\frac{f_v^2}{N \cdot \rho_k} \cdot \frac{dm}{S} \quad [\text{Hz}] \quad (4)$$

Měřicí zařízení po poklesu frekvence pod určitou hranici vyhodnotí tloušťku vrstvy jako dostatečnou a zastaví proces napařování. Nevýhoda této metody je nutnost pravidelných výměn či čištění krystalového výbrusu. Při napaření určité tloušťky vrstvy jsou kmity

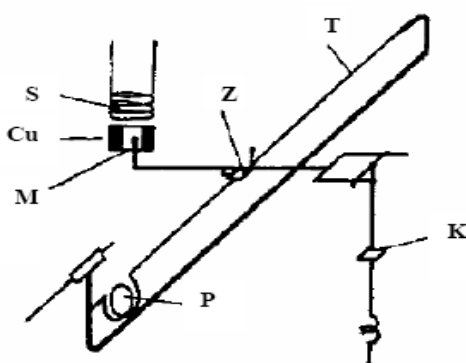
krystalového výbrusu křemene utlumeny tak, že oscilátor přestane kmitat a obsluha ztratí informaci o tloušťce napařené vrstvy. Rozlišení měření se pohybuje od $10^{-9} \div 10^{-12} \text{ g.cm}^{-2}$. Při měření hraje důležitou roli i teplota krystalu. Pro zmenšení zahřívání krystalu vlivem tepelného záření zdroje se krystal připevňuje na podložku chlazenou vodou. [2], [10]



Obr. 7: Princip frekvenčních měřidel

1.2.3 Jiné způsoby měření

Pro měření tenkých vrstev se využívají i jiné metody, často ovšem náročné na výrobu, popřípadě na možnost umístění v systému. Jednou z takových metod je **metoda založená na přírůstku hmotnosti**, kdy se využívá tzv. mikrováha (Obr. 8). Jedná se o přímé měření hmotnosti nanášené vrstvy. Mikrováhy by měly být citlivé, mechanicky pevné, při vyšší teplotě odplynitelné a s aperiodickým tlumením.



T – torzní vlákno, Z – zrcadlo, S – solenoid, Cu – měděný váleček, M – magnet, P – pružina, K – kalibrační zařízení

Obr. 8: Mayerova torzní mikrováha [10]

Napařením dané tloušťky vrstvy na podložku umístěnou na jedné straně vahadla dojde k rozvážení váhy a přiblížení magnetu obklopeného měděným válečkem do blízkosti solenoidu (podlouhlá cívka), který indukuje elektrický proud. Měřením je zjištěna hmotnost vrstvy m na ploše S , platí tedy vztah pro výpočet tloušťky vrstvy:

$$t = \frac{m}{\rho \cdot S} \quad (5)$$

t je tloušťka napařené vrstvy [m],

ρ je měrná hmotnost dané látky [$\text{kg} \cdot \text{m}^{-3}$]. [10]

Dalšími metodami jsou **metody elektrické**, které se dělí dle principu měření na:

- a) **měření elektrického odporu,**
- b) **měření kapacity,**
- c) **měření změny kvality cívky.**

a) Měření elektrického odporu spočívá v zapojení měřené vrstvy do jednoho ramene Wheatstonova můstku. Tento můstek je možné automaticky vyrovnávat a měřit hodnoty proměnného odporu, který je úměrný neznámému odporu vrstvy. Tato metoda je vhodná např. pro vodivé, odporové a polovodivé materiály. Ovšem přesnost je limitována vztahem mezi tloušťkou a odporem, neboť odpor roste rychleji, než vyplývá z teoretických úvah, vlivem rozptylu na hranicích vrstvy, případně vlivem nekompaktnosti struktur.

b) Měření kapacity je možné po napaření vrstvy mezi hřebenový systém elektrod, popřípadě pokrytím tenké vrstvy dielektrika na vodivé podložce další (nanášenou) vrstvou kovu a měřit takto vzniklý kondenzátor.

c) Měření změny kvality cívky využívá změn rezonanční frekvence a kvality cívky. Umístěním tenké kovové vrstvy do určité vzdálenosti od cívky, kterou protéká střídavý proud, se část energie díky buzení vířivých proudů v cívce ztratí, což má za následek snížení rezonanční frekvence cívky. Měření lze provést buď zapojením indikační cívky do můstku, kdy při porušení rovnováhy vyvolané interakcí s vrstvou dojde k rozvážení můstku a je možné měřit proud vzniklý v diagonále můstku. Tento způsob ovšem není možné použít pro vysoké frekvence. Lepší variantou je zapojení cívky jako součást rezonančního obvodu a měřit následné tlumení a rozladění. Tuto metodu lze také použít pro řízení napařovacích procesů. [2], [10]

2 Teoretický rozbor měřicí karty ve spolupráci s PLC Omron

Při měření tloušťky tenkých vrstev oscilátorem řízeným křemenným krystalem je měřena frekvence, která závisí na typu křemenného krystalu a na tloušťce napařené vrstvy. Měřicí zařízení musí být schopné na základě změn frekvence určit rychlost napařování i tloušťku napařené vrstvy. Současné signálové procesory (DSP), hradlová pole a většina integrovaných obvodů pracují zejména s číslicovými signály, které jsou definovány dvěma, případně třemi logickými stavy - logickou 1, logickou 0 a případně i stavem nazývaným vysoká impedance. Pro zpracování analogového signálu oscilátoru je tedy zapotřebí vstupující analogový signál dostatečně upravit, tzn. tvarovat tvarovačem signálu. Po úpravě je analogový signál možné zpracovávat číslicovými obvody, které jsou oproti analogovým podstatně přesnější.

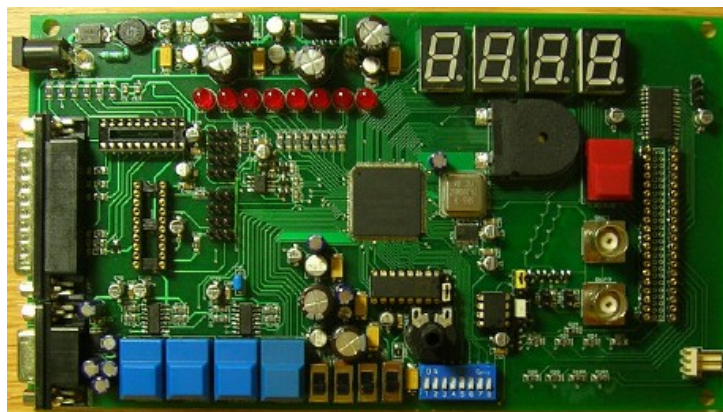
2.1 Popis programovatelného prvku měřicí karty

Jako hlavní prvek měřicí karty bylo vybráno hradlové pole FPGA, které musí zpracovávat signály z oscilátoru řízeného křemenným krystalem a po zpracování vysílat informace o naměřené frekvenci do PLC Omron. Důvodů pro výběr hradlového pole ve funkci hlavního prvku měřicí karty místo klasického procesoru (DSP) je několik:

- pro vykonání určitého algoritmu musí procesor provést daný počet instrukcí, čímž je určena reakční doba systému s procesorem na vnější podnět. Někdy je počet potřebných instrukcí i pro jednoduché algoritmy značný. Ovšem při použití pevně zapojených obvodů (propojení funkčních bloků logických prvků = systém programovatelný na úrovni technického řešení (hardware)) se reakční doba může podstatně snížit,
- použití FPGA nabízí možnost paralelního zpracovávání procesů, čímž lze dosáhnout minimálně o řád vyššího výkonu, než nejrychlejší DSP CPU,
- výrazně vyšší flexibilita daná možností volby implementace systému. Struktura technického řešení a stupeň paralelizace mohou být voleny dle charakteru řešeného problému. Pokud se realizuje systém klasickým procesorem, volí se rychlost procesoru podle výpočetní náročnosti algoritmu. Použitím FPGA lze pracovat i s velikostí obvodu (stupeň paralelizovatelnosti výpočtu),
- možnost rozšiřování funkcí, bez nutnosti připojování externích rozšiřujících modulů, případně je zde i možnost vytvoření procesoru přímo v FPGA,

- spojení výhod realizace systému zákaznických integrovaných obvodů s možností rychlého testování výsledného produktu a jednoduchou změnou vlastností. [20]

Dalším parametrem, který při výběru prvku zpracovávajícího měřená data hrál roli, byla možnost odzkoušení řešení výpočtové a komunikační funkce na desce FUB (Obr. 9), která byla v roce 2009 vytvořena pro návrh a realizaci funkcí v jazyce VHDL na základě zadání bakalářské práce TU v Liberci. [32]



Obr. 9: FPGA University Board [32]

Jednou z nevýhod FPGA oproti klasickým procesorům je snad pouze cena, i když v současné době neustálého vývoje hradlových polí se jejich cena stále snižuje a středně velké FPGA lze běžně sehnat v cenové relaci 400 ÷ 500 Kč. A při posuzování poměru cena/výkon zvítězí FPGA díky své flexibilitě. Samozřejmě pro jednoznačně definované funkce, kde je návrh odzkoušený a nepočítá se s možností jeho rozšíření či změn, je výhodnější a mnohdy i jednodušší využít dostatečně parametrizované procesory.

2.1.1 Obecný popis programovatelných zakázkových obvodů

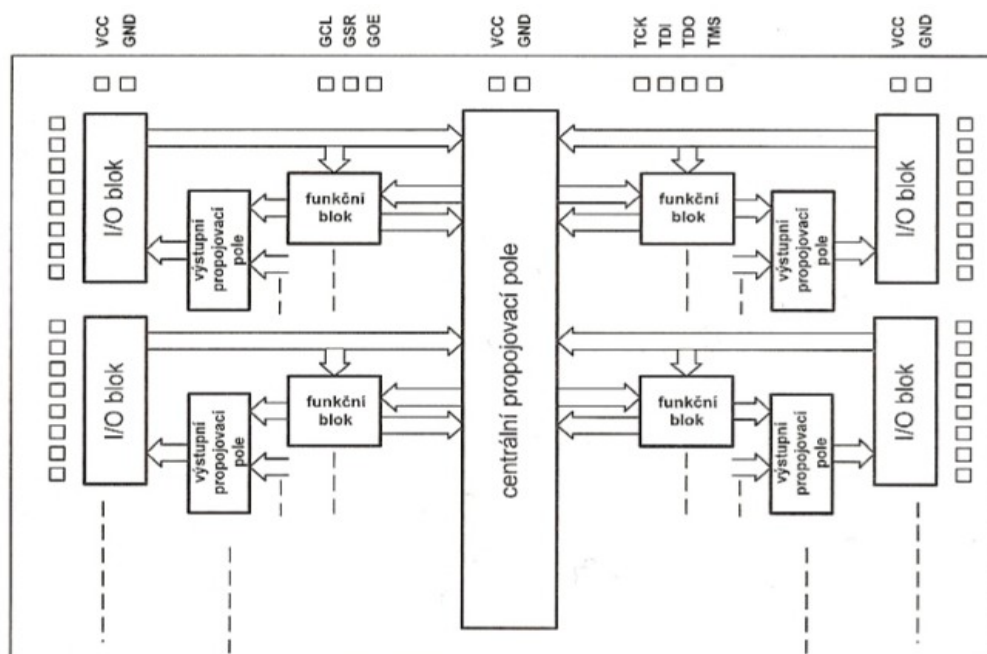
Hradlové pole FPGA je součástí velmi rozsáhlé skupiny programovatelných zakázkových obvodů. Současná doba posunuje vývoj integrovaných obvodů do oblasti univerzálnosti jejich využití a rychlosti zpracování dat. Univerzálnost znamená, že obvod musí pracovat v různých režimech činnosti tak, aby byl pro danou aplikaci vždy zvolen ten nejvhodnější. Oproti běžným programovatelným integrovaným obvodům splňují programovatelné zakázkové obvody kritéria univerzálnosti, nízké spotřeby, vysoké integrace a rychlosti. Neustálý vývoj v oblasti těchto obvodů zaručuje budoucnost a stálé rozšiřování možností využití.

Programovatelné zakázkové obvody se nejčastěji dělí na obvody CPLD a FPGA, které zároveň patří mezi nejrozšířenější typy hradlových polí. Následně budou jednotlivé typy stručně popsány. Více informací o rozdělení programovatelných zakázkových obvodů a struktuře jejich vývoje lze získat z použité literatury. [4]

CPLD

Struktura CPLD vychází převážně z technologie obvodů PLD. Vnitřní struktura PLD obsahuje programovatelné pole AND následované pevným polem hradel OR. Každý výstup obvodu je navíc rozšířen o tzv. výstupní makrobuňku *OLMC*, kterou lze naprogramovat buď jako kombinační, nebo registrový výstup. Navíc lze nastavit charakter výstupu přímý, či negovaný.

Složením více matic obvodů PLD do jednoho pouzdra vznikají obvody CPLD. Výhoda spočívá v přidání velkého centrálního propojovacího pole a oddělení I/O obvodů od makrobuňky, čímž je vytvořen samotný I/O blok (Obr. 10). Do tohoto bloku mohou výstupní signály z makrobuněk vstupovat přes programovatelné výstupní propojovací pole, čímž se zlepší využití makrobuněk i výstupních obvodů.



Obr. 10: Blokové schéma obvodu CPLD [4]

Většina těchto obvodů je programovatelná přímo v cílovém systému. Makrobuňky se sdružují do větších skupin a tvoří funkční bloky. Jejich pomocí lze realizovat např. složité kombinační a sekvenční či paměťové funkce. [4]

FPGA

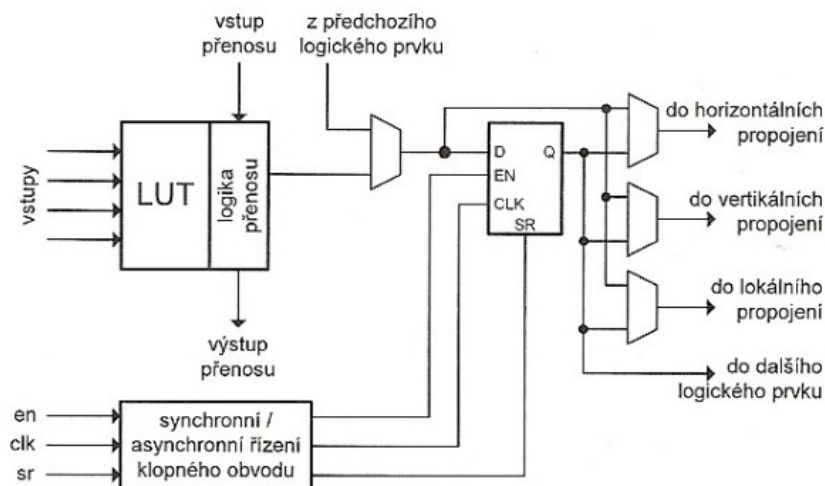
Obvody této architektury jsou založeny na principu malých bločků logických funkcí s pamětmi (LUT tabulky), klopných obvodů a horizontálních a vertikálních propojení sloužících k propojení vzdálenějších logických bloků. FPGA využívá nejčastěji technologii SRAM, popřípadě technologii průrazu izolantu Anti-fuse. Field Programmable znamená, že je obvod konfigurován až u zákazníka, či ve finální aplikaci, nikoliv při výrobě. Tím se liší od zákaznických obvodů. Základem FPGA jsou tři stavební prvky: **programovatelné logické bloky,**

programovatelné horizontální a vertikální propojení,

programovatelné I/O bloky.

S rozvojem technologií přibýly tzv. **specializované bloky**, např. násobičky, paměti, bloky pro úpravu hodinových signálů či dokonce celé procesory. Jedná se o důležité funkce, které šetří práci při programování složitých návrhových systémů.

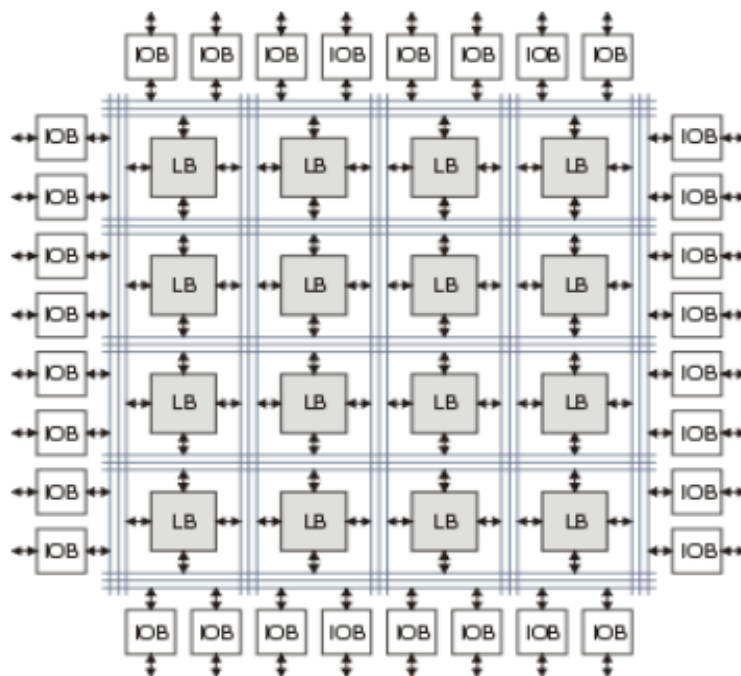
Logické bloky slouží k realizaci různých logických funkcí, od aritmeticko-logických jednotek po jednoduchá logická hradla. Běžně jsou logické bloky tvořeny kombinací dvou vyhledávacích tabulek (LUT) a D-klopných obvodů, čímž lze realizovat kombinační a sekvenční obvody, popřípadě přenosové prvky propojovací sítě (Obr. 11).



Obr. 11: Blokové schéma logického prvku [4]

Architektura FPGA obvodů nedisponuje žádným velkým centrálním propojovacím polem, jako architektura CPLD, ale propojení jsou rozmístěna po celé ploše obvodu (Obr. 12). FPGA obvody obsahují navíc vložené bloky pamětí a analogové bloky pro

úpravu vstupního kmitočtu, tzv. fázové závěsy. Konfigurace FPGA je udržována většinou ve statické paměti SRAM, programovací cykly jsou tedy téměř neomezené. Pro uložení programu bez nutnosti přehrávání po vypnutí napájení se připojuje externí EEPROM, nebo FLASH, která může být i součástí obvodu (Lattice). [4]



Obr. 12: Blokové schéma FPGA [16]

Typické využití obvodů FPGA je v oblasti menších sérií navrhovaných zařízení, kde se nevyplatí návrh zákaznických integrovaných obvodů (dále jen IO) a řešení systému s procesorem již není vhodné. Další aplikace využití jsou například v oblasti prototypů zákaznických IO, kde se FPGA používají pro testování navrhovaných systémů.

Návrh obvodů FPGA se provádí příslušnými programovacími jazyky pro popis technického řešení (HDL) nejčastěji na úrovni RTL, což znamená, že je obvod popisován jako sada registrů propojených kombinační logikou. Nejčastěji používané programovací jazyky jsou VHDL či Verilog. Výhoda RTL spočívá v tom, že jeden řádek zdrojového kódu znamená desítky až stovky hradel v samotném technickém řešení, což zpřehledňuje vlastní návrh. Ten je zjednodušen i širokou dostupností navržených a verifikovaných bloků realizujících speciální funkce (tzv. IP cores). Lze mezi ně řadit např. číslicové filtry, komunikační rozhraní, nebo celé procesory.

Výhodou jazyka VHDL jsou jeho bohaté vyjadřovací schopnosti a nezávislost číslicového systému popsaného ve VHDL na cílové technologii jeho realizace.

Popis systému ve VHDL je značně odlišný od programování v klasických programovacích jazycích (C, Pascal). Popisuje se totiž číslicový systém, který je nakonec potřeba zrealizovat technickým řešením. Vytvořený kód musí tedy projít syntézou, jejímž výsledkem je zapojení z hradel a klopných obvodů. Vytvářené konstrukce musí být syntetizovatelné (s výjimkou testovacího programu nebo modelů určených pro simulaci). Důležitá vlastnost VHDL spočívá v tom, že se jedná o paralelní programování, ne sekvenční. VHDL lze použít v různých úrovních abstrakce, a sice v behaviorální úrovni (popis chování obvodu), v úrovni RTL (úroveň meziregistrových přenosů), či v úrovni hradel (logická úroveň). [3], [4]

Výroba programovatelných logických obvodů je v současné době záležitostí několika firem, z nichž převážnou část trhu ovládají firmy Actel, Altera, Atmel, Lattice a Xilinx. Na světovém trhu jsou nejpoužívanější produkty firem Xilinx a Altera, které nabízejí pro uživatele obvody s nízkou cenou (Altera Cyclone V, Xilinx Spartan 6), ale i obvody výkonné a vhodné pro technicky náročné úlohy (Altera Stratix V, Xilinx Virtex 7). [32]

2.1.2 Použité FPGA a jeho základní vlastnosti

Požadavky, kterými se řídil výběr hradlového pole, byly možnost ručního osazení, cenová dostupnost, dostatečný počet logických hradel pro návrh funkce a vnitřní FLASH paměť programu. Na základě těchto požadavků bylo vybráno hradlové pole firmy **Lattice** typ **LCMXO640C**. Jedná se o pole typu FPGA s integrovanou FLASH pamětí, která umožní uchovat program i po vypnutí napájení. FPGA Obsahuje 640 logických tabulek (LUT = Look Up Table), 113 I/O pinů a 320 makrobloků. Výhodou je používání pouze jednoho napájecího napětí, jehož rozsah je uveden v následující tabulce pracovních hodnot FPGA (Tab. 1).

Tab. 1: Rozsahy pracovních hodnot FPGA LCMXO640 [23]

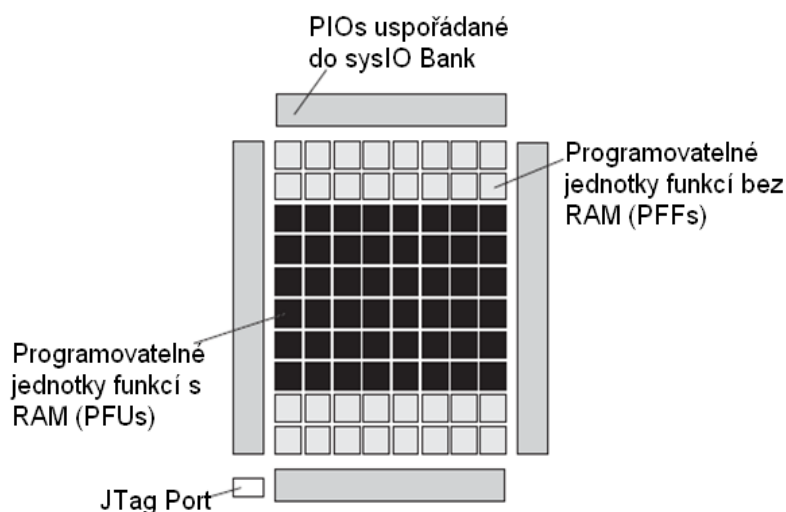
Symbol	Parameter	Min.	Max.	Units
V _{CC}				
	Core Supply Voltage for 1.8V/2.5V/3.3V Devices	1.71	3.465	V
V _{CCAUX}	Auxiliary Supply Voltage	3.135	3.465	V
V _{CCIO}	I/O Driver Supply Voltage	1.14	3.465	V
t _{JCOM}	Junction Temperature Commercial Operation	0	+85	°C
t _{JIND}	Junction Temperature Industrial Operation	-40	100	°C
t _{JFLASHCOM}	Junction Temperature, Flash Programming, Commercial	0	+85	°C
t _{JFLASHIND}	Junction Temperature, Flash Programming, Industrial	-40	100	°C

Maximální proud I/O pinů, který jsou jako výstupní schopny dodat do zařízení, se pohybuje okolo 1 mA. Tato hodnota je v katalogovém listu uváděna jako maximální přípustná mez. Odebíraný proud pro napájení jádra a buněk FPGA v běžném režimu, režimu inicializace, programování a spánku je uveden v tabulce Tab. 2. [23]

Tab. 2: Napájecí proudy FPGA v různých pracovních režimech

	běžný provoz [mA]	inicializace [mA]	programování/ mazání Flash [mA]	nízkopříkonový režim [uA]
Icc = napájení jádra	6	14	8	12 ÷ 25
Iccaux = pomocné napájení	7	13	10	1 ÷ 25
Iccio = napájení buněk	2	2	2	2 ÷ 30

Vnitřní struktura FPGA Lattice je znázorněna na obrázku Obr. 13. Jádro se skládá z bloků PFU a PFF. PFU bloky mohou být programovány k vykonávání logických, aritmetických, distribučních RAM a ROM funkcí. PFF bloky nabízejí stejné funkce kromě distribuční RAM. Maximální frekvence, se kterou dokáže FPGA vykonávat funkce je 550 MHz, přičemž doba zpoždění přenosu je udávána 4,2 ns.



Obr. 13: Vnitřní struktura FPGA Lattice [23]

FPGA nabízí dvě varianty programování:

- Programování do energeticky nezávislé Flash paměti
- Programování do konfigurační paměti SRAM (volatilní konfigurace)

Data uložená ve Flash paměti se při startu FPGA rychle načtou do konfigurační paměti SRAM, případně lze toto provést i na žádost uživatele. Kombinace těchto paměťových druhů poskytuje jedinečné programovací a provozní schopnosti:

- Absence externí PROM paměti zvyšuje bezpečnost toku dat (bitstream) = pouze uvnitř FPGA
- Okamžitá rekonfigurace do známého stavu z FLASH paměti (zotavení)
- Možnost přeprogramování FLASH, během řízení SRAM paměti

Paměť SRAM obsahuje tzv. aktivní konfiguraci, v zásadě se jedná o propojení obvodu „pojistkami“, zatímco FLASH paměť poskytuje paměťový prostor pro konfigurační data. Programování daného typu FPGA je popsáno v popisu programovacího kabelu na straně str. 49. [23]

2.2 Popis měřicích krystalů

Pro výbornou časovou stálost parametrů a velký činitel jakosti je využití krystalů pro měřicí účely v elektronice velice oblíbené. Jejich vlastnosti umožňují stavbu generátorů a oscilátorů s kmitočtovou stabilitou řádu až 10^{-9} . Krystaly mohou být dodávány jako hotové výbrusy na míru uživateli. Některé typy musí být z důvodu stálosti vlastností uzavřeny v bezprašném, případně vakuovém prostředí. Výbrus je mechanická kmitavá soustava, kde je převod kmitů do elektrické oblasti zprostředkován piezoelektrickým jevem. Krystal se připojuje do obvodu oscilátoru pomocí elektrod zhotovených nejčastěji napařením stříbra nebo zlata přímo na výbrus (Obr. 14).

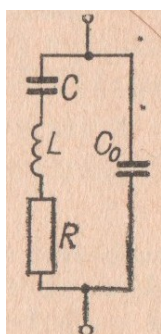


Obr. 14: Krystalový výbrus s elektrodami

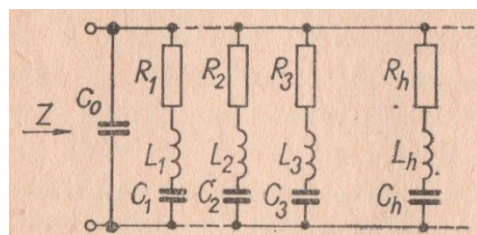
Přivedením harmonického napětí se v krystalu vybudí střídavé elektrické pole, které jej nutí kmitat. Pokud se kmitočet elektrického pole blíží mechanickému rezonančnímu kmitočtu, zvětšuje se amplituda kmitů. Rezanančních kmitočtů je ale více.

Závisí na typu kmitů, orientaci vnitřní mřížky a rozměrech krystalu. Výrobci se snaží nežádoucí rezonance eliminovat.

Chování krystalu jako elektronického prvku v okolí rezonance lze vysvětlit jeho náhradním schématem. To se skládá z kapacit C_h , C_0 (statická kapacita elektrod včetně držáku), indukčností L_h a ztrátových odporů R_h (Obr. 16). Zaměřením na rezonanci, kdy $C_h = C$, $L_h = L$ a $R_h = R$ je náhradní schéma sériovým rezonančním obvodem (Obr. 15).



Obr. 15: Náhradní schéma v okolí hlavního rezonančního kmitočtu [6]



Obr. 16: Obecné náhradní schéma krystalu [6]

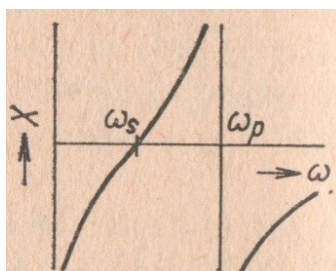
Rezonanční kmitočet (sériový rezonanční úhlový kmitočet) krystalu je:

$$\omega_s = \frac{1}{\sqrt{LC}} \quad (6)$$

Antirezonanční kmitočet (paralelní rezonanční úhlový kmitočet) je:

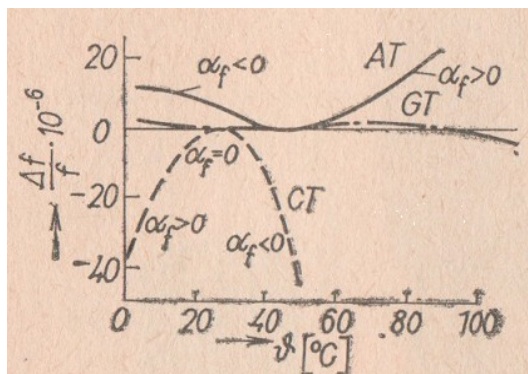
$$\omega_p = \sqrt{\frac{1}{LC} * \left(1 + \frac{c}{c_0}\right)} \quad (7)$$

Úhlový kmitočet ω_p , kdy se obvod chová jako paralelní rezonance, leží jen nepatrně nad úhlovým kmitočtem ω_s , kde se chová jako sériový obvod LC (Obr. 17). V oblasti mezi rezonancemi představuje krystal kmitočtově závislou indukčnost a vně oblasti kmitočtově závislou kapacitu. Kmitočtový rozsah je od 100 Hz do stovek MHz a činitel jakosti $Q = \frac{\omega L_h}{R_h}$ je zpravidla velmi vysoký (řádově 10^6). [6]



Obr. 17: Průběh reaktance krystalu v okolí žádané rezonance ω_s a ω_p [6]

Vlastnost, která se u krystalů nesmí opomíjet, je teplotní vliv na parametry krystalu. Teplota dokáže ovlivnit chování krystalu, neboť působí na hustotu a modul pružnosti materiálu krystalu. V praxi se zavádí veličina známá jako teplotní součinitel krystalu α_f , který se mění s teplotou. Závislost rezonanční frekvence jednotlivých řezů krystalu na teplotě, včetně parametru α_f je na následujícím obrázku (Obr. 18).



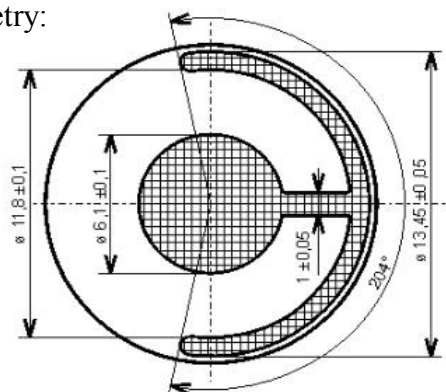
Obr. 18: Teplotní závislost rezonančního kmitočtu řezů AT, GT, CT [6]

Je-li teplotní závislost krystalu při použití v tepelně různorodém prostředí příliš velká, omezuje se vliv teploty umístěním krystalu do termostatu, popřípadě kompenzací teplotní závislosti. [6]

2.2.1 Použitý krystal pro měření

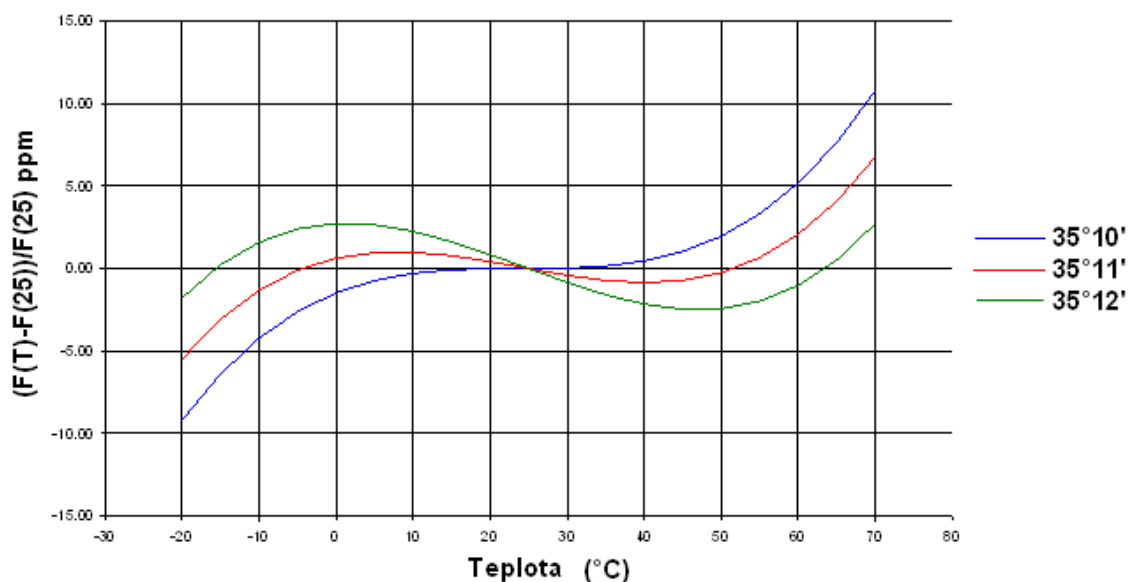
Použitý křemenný krystal má následující parametry:

- Tvar plan-convex (průměr 14 mm $\pm 0,05$)
- Stříbrné elektrody (Obr. 19)
- Kmitočtový rozsah: 4990 kHz ± 20 kHz
- Rozsah pracovních teplot: $+15 \div +55^\circ\text{C}$
- Teplotní stabilita: $\pm 5 \cdot 10^{-6}$
- Ekvivalentní sériový odpor max. 20 Ω
- Budicí výkon max. 10 μW



Obr. 19: Tvar plan-convex

Jeho teplotní závislost znázorňuje následující graf (Graf 1). Obsahuje teplotní závislosti pro krajní hodnoty tolerance úhlu řezu vzhledem ke krystalografické ose Z daného křemene ($35^\circ 10' \div 35^\circ 12'$) v rozsahu teplot $-20 \div +70^\circ\text{C}$. Všechny informace jsou získané přímo od výrobce, kterým je firma Krystaly Hradec Králové, a.s.

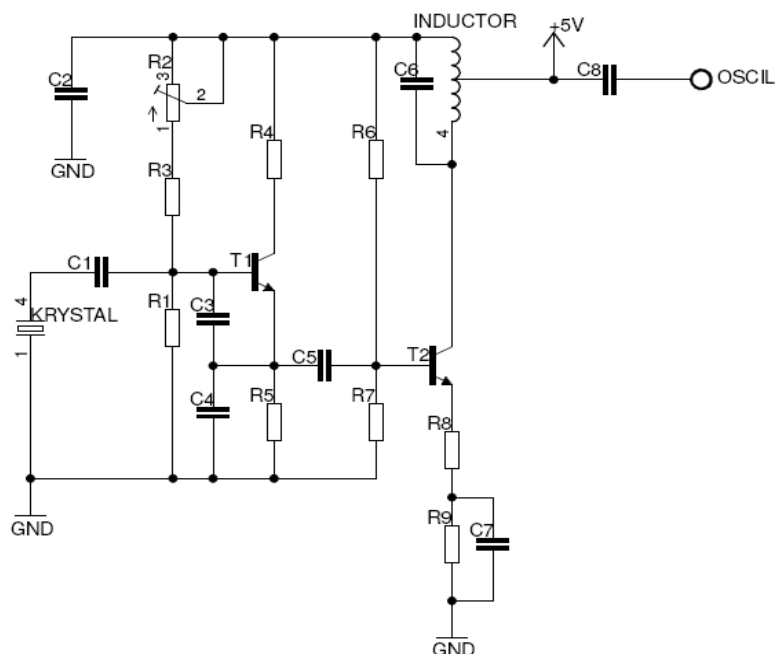


Graf 1: Teplotní závislost rezonančního kmitočtu krystalového rezonátoru 5 MHz

Teplotní závislost ukazuje změny frekvence v závislosti na teplotě. Frekvence je vztažena do jednotek ppm (Parts per milion), kde se uvádí poměr rozdílu frekvence při dané teplotě a při referenční teplotě (25°C) s frekvencí při referenční teplotě. Dle této závislosti lze eliminovat teplotní vlivy krystalu pomocí korelace výsledné naměřené frekvence při určité teplotě, pokud zařízení s krystalem pracuje v teplotně nestabilním prostředí.

2.2.2 Seznámení s měřicím krystalovým oscilátorem

Zapojení krystalových oscilátorů existuje mnoho. Krystal může být v oscilátoru použit jako rezonanční obvod (Clappův oscilátor), případně jako selektivní zpětnovazební člen (oscilátor typu Hegner). Krystalový oscilátor využívaný pro měření tloušťky napařené vrstvy je typu Clapp se zesilovacím tranzistorem (společný emitor) v můstkovém zapojení (Obr. 20). Oscilátor tohoto zapojení pracuje v procesu měření tloušťky napařovaných vrstev již několik let. Pro svoji stabilitu a ověřenou funkčnost byl vybrán i v případě inovovaného měřicího zařízení.

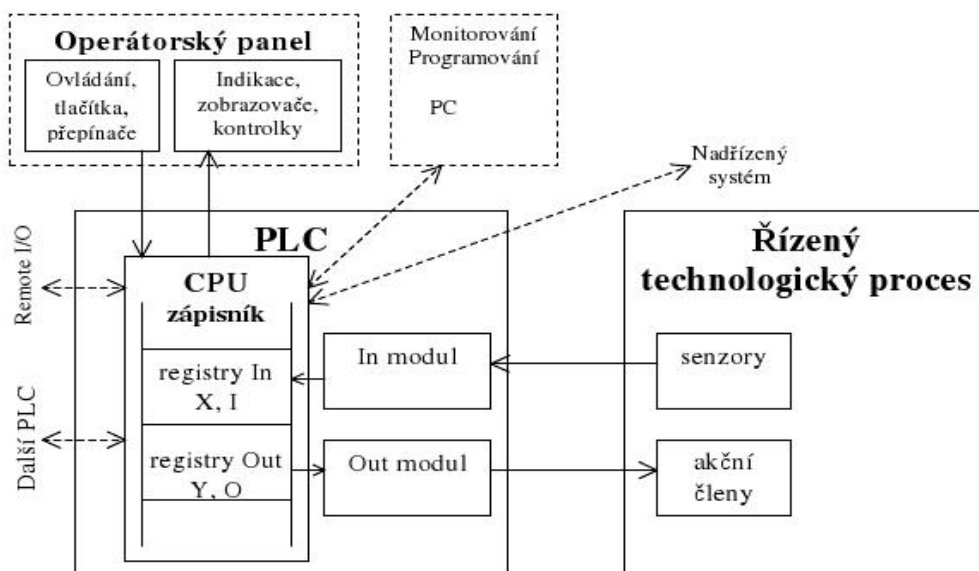


Obr. 20: Clappův oscilátor řízený křemenným výbrusem s můstkovým zesilovačem

2.3 Vlastnosti PLC Omron a jeho využití pro řízení napařování

Jedná se o programovatelný automat PLC (Programmable Logic Controller) sloužící pro průmyslovou automatizaci a řízení procesů v reálném čase. Jeho spolehlivost musí být z hlediska možnosti škod způsobených chybou řídicího programu vysoká. Střední doba mezi poruchami se pohybuje řádově $10^4 \div 10^5$ hodin. Architektura procesoru PLC je harwardské koncepce, tedy paměť programu a dat jsou fyzicky odděleny. Prostřednictvím binárních a analogových vstupů získává PLC informace ze zařízení, ty zpracovává a vysílá na výstupy, kterými je zařízení zpětně ovládáno. Algoritmy řízení se ukládají do paměti uživatelského programu, který je cyklicky zpracováván. Odlišnost od běžných počítačů typu PC spočívá v cyklickém zpracovávání programů a v uzpůsobení periférií přímo pro napojení na technologické procesy. [21]

Periferie PLC tvoří převážně digitální I/O moduly, pro zpracování analogových signálů pak analogové I/O moduly (vstupy/výstupy). Další funkční moduly mohou být komunikační, polohovací, datové a další, záleží na specifikaci PLC. Obrázek Obr. 21 přibližuje charakter PLC a jeho napojení na technologický proces. [11]



Obr. 21: PLC a jeho napojení na technologický proces [21]

Příkladem PLC jsou automaty japonské firmy Omron, které výrobce nabízí na trhu v několika výkonnostních řadách od kompaktních modelů, až po velice výkonné modulární PLC s rozsáhlými komunikačními možnostmi.

Kompaktní znamená, že se jedná o systém obsahující v jednom modulu jednotku CPU, digitální a analogové vstupy/výstupy a podporu komunikace. Mají omezenou rozšiřitelnost.

Modulární systém je takový systém, u kterého se komponenty řadí do modulů, ze kterých se PLC potom podle potřeby skládá (zdroj, CPU, vstupy/výstupy, funkční moduly atd.). Velikou výhodou je možnost rozšiřování modulárního systému dle přání zákazníka.

Pro praktickou část diplomové práce je použit PLC Omron řady CJ1M CPU13 (Obr. 22). Jedná se o modulární systém, který je v dané aplikaci rozšířen o několik vstupně/výstupních a funkčních modulů.

V podstatě se jedná o všestranně použitelné PLC ideální pro řízení rozsáhlejších technologií. Nabízí víceúlohové programování s možností až 256 cyklických programů, propojitelnost až 10 CPU a I/O jednotek, až 640 binárních vstupů/výstupů, 32 kslov datové a 20 kslov programové paměti.

Krok cyklu programu vykoná CPU přibližně za 0,1 μ s. Pro řízení technologie vakuového napařování je z hlediska parametrů dostačujícím řešením. Podrobnější popis použitého systému lze získat v použité literatuře. Nastavení a popis funkcí PLC je popsán v kapitole 3.1.3. [28]



Obr. 22: PLC Omron CJ1M CPU13 [28]

3 Praktická část

Praktická část diplomové práce podrobně popisuje vývoj měřicí karty, která byla z hlediska účelu využití nazvána Crystal Measurement Board (dále jen CMB), včetně měřicího programového vybavení. Při návrhu a realizaci CMB bylo třeba provést jednak schematický návrh zařízení, tvorbu desky plošného spoje (DPS) a její následné osazení a odzkoušení. Programová část se zaměřuje na tvorbu programu, který vypočítává aktuální frekvenci vystupující z měřicího oscilátoru umístěného přímo v napařovacím zařízení a její hodnotu posílá přes sériové komunikační rozhraní do PLC Omron. Zde je informace zpracována a dle potřeby upravena pro další využití. Posledním bodem praktické části je instalace zařízení do měřicího procesu v provozu firmy Preciosa a.s., jeho odzkoušení a následné zhodnocení výsledků naměřených při napařování kovových vrstev. V měřicím procesu bude karta CMB sloužit pro měření rychlosti napařování tenkých vrstev kovu na bižuterní kamínky (dekorativní technika).

Při práci bylo třeba seznámit se s celou řadou problematik a podrobněji nastudovat tématicky týkající se hradlových polí FPGA, návrhového systému Quartus a Diamond 1.2, které jsou určeny pro programování funkcí FPGA jazykem VHDL a následné nahrání programu do FPGA. Dalším tématem práce bylo seznámení s vakuovou technologií napařování tenkých vrstev a způsoby jejího řízení pomocí programovatelného automatu PLC Omron. Pro komunikaci s PLC muselo být na vyvíjené kartě CMB vytvořeno a naprogramováno sériové rozhraní a v použitém PLC naprogramovány funkce pro příjem a zpracování naměřených dat tak, aby byla data dále použitelná pro řízení vlastního procesu napařování. Pro tvorbu desky CMB bylo nutné znát návrhový systém, který umožňuje návrh desek s plošnými spoji (např. Eagle). Důraz byl při vývoji DPS kladen též na odrušení náchylných signálů, neboť zařízení bude provozováno v průmyslovém rozvaděči řízení napařovacího stroje.

3.1 Obecný popis měřicí karty

Měřicí karta CMB pro měření tenkých napařovaných vrstev musí splňovat několik požadavků, aby mohla být pro dané měření použita. Jednou z podmínek je přesnost, se kterou je schopna aktuální vzorky frekvence měřit. Na přesnosti závisí celá řada parametrů napařovacího procesu, neboť dle poklesu frekvence za časový okamžik se řídí rychlost napařovacího procesu a tím i kvalita výsledné vrstvy (tedy vlastní dekor).

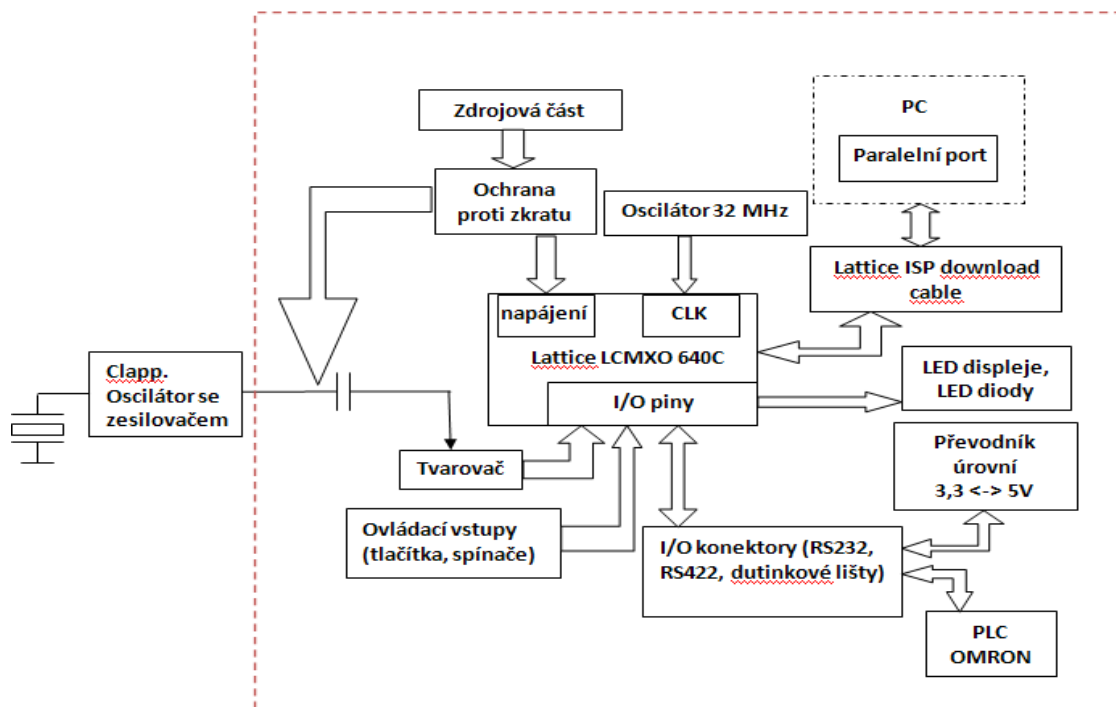
Dalším důležitým parametrem karty je stabilita a schopnost odolávat rušení, které se v průmyslovém prostředí vyskytuje. Jedním z požadavků firmy Preciosa a.s. byla odolnost karty proti zkratu na vstupním konektoru, na nějž je přiváděn signál z měřicího oscilátoru. Tento konektor zároveň slouží jako přívod napájení oscilátoru. Po nanesení určité tloušťky kovové vrstvy je nutné měřicí krystal vyjmout z pouzdra a vyčistit, neboť nanesená vrstva již způsobuje takový útlum mechanických kmitů výbrusu, že oscilátor není schopný dále spolehlivě kmitat. Právě při manipulaci s krystalem a pouzdrům může dojít ke zkratu na vstupních svorkách, což by mohlo mít destruktivní následky pro celou měřicí kartu. Zkrat by mohl nastat i porušením kabelu, kterým je měřicí oscilátor napájen, např. vlivem extrémních podmínek uvnitř napařovacího zařízení. Důležitou vlastností je také reprogramovatelnost karty a možnost propojení s jinými zařízeními buď přímo přes komunikační rozhraní RS422, či RS232, nebo pomocí vstupně/výstupních svorek, jimiž je vybavena. Reprogramovatelností je myšlena vlastnost, která uživateli dovolí změnit funkce programového vybavení, pokud by je v budoucnosti bylo zapotřebí rozšířit.

V případě diplomové práce řeší vnitřní funkce FPGA zpracování číslicových signálů o frekvenci okolo 5 MHz. FPGA nabízí spolehlivé, rychlé a pro další budoucí vývoj zařízení vhodné řešení.

3.1.1 Návrh měřicí karty – schéma

Schéma karty CMB bylo navrhováno dle zadaných požadavků fy Preciosa a.s. a s přihlédnutím k navrhnutým rozšiřujícím funkcím karty. Karta musí splňovat jisté požadavky a funkce, které je nutno ošetřit. Záleží i na vhodném výběru součástek, aby byly výkonově i parametrově dostačující a cenově dostupné. Návrh schématu byl prováděn programem Eagle 5.10.0, který nabízí přímé propojení schématu s návrhem DPS. Na blokovém schématu (Obr. 23) jsou znázorněny jednotlivé části a funkce měřicí karty CMB. Hlavním prvkem celého zařízení je hradlové pole FPGA Lattice, které řídí výpočetní i komunikační funkce. Je napájeno ze zdrojové části, která je rozšířena o ochranu proti zkratu. Referenční kmitočet FPGA je nastaven pevným referenčním oscilátorem na 32 MHz. Toto je frekvence, kterou se řídí všechny vnitřní funkce a procesy FPGA. Signál z měřicího oscilátoru vstupuje přes tvarovač do jednoho z I/O pinů FPGA. Po zpracování je informace o naměřeném signálu odeslána přes

komunikační rozhraní RS232, případně RS422, do PLC Omron. Mezi rozšiřující prvky karty patří dutinkové lišty pro možnost propojení CMB s externími zařízeními. Dále sem patří LED zobrazovače, ovládací vstupy a převodník programovacího kabelu isp-JTAG, který umožňuje programování FPGA propojením karty CMB s PC paralelním kabelem. Programování je možné i pomocí USB kabelu s vhodným převodníkem.



Obr. 23: Blokové schéma měřicí karty CMB

Schéma návrhu je pro přehlednost rozděleno na jednotlivé stránky, kde každá stránka specifikuje jistou část zapojení a zabývá se jednotlivými prvky blokového schématu:

1) **Strana 1:** Nachází se zde celá zdrojová část přípravku, včetně transformátoru. Není tedy potřeba externí zdroj, ale karta je napájena síťovým napětím 230 V. Oscilátor a část periferních obvodů je napájena napětím 5 V, vlastní obvod FPGA potom napětím 3,3 V. Je tedy zapotřebí dvou napěťových úrovní na desce CMB. Hlavní stabilizátor 5 V je z důvodu možné proudové zatížitelnosti vybaven chladičem. Odebíraný proud celého měřicího zařízení by neměl přesáhnout hodnoty $400 \div 500$ mA. Výkonová zatížitelnost tohoto obvodu je dle katalogového listu 1,5 W bez chladiče, což dle základního vztahu:

$$P = U \cdot I \quad [W, V, A] \quad (8)$$

odpovídá úbytku napětí na stabilizátoru při zatížení proudem 500 mA přibližně 3 V.

Pro stabilizaci ze vstupního napětí 9 V je nutné použít chladič, kterým se zvyšuje odvod tepla z pouzdra stabilizátoru. Katalogové údaje obvodu stabilizátoru 7805 uvádí maximální rozsahy pracovních hodnot (Tab. 3):

Tab. 3: Maximální hodnoty pracovních hodnot stabilizátoru 7805 [29]

Maximální rozsahy hodnot ($\vartheta_a = 25^\circ\text{C}$)			
charakteristika	symbol	jednotka	hodnota
Vstupní napětí	V_{in}	V	35
Maximální ztrátový výkon (s chladičem)	$P_{tot(max)}$	W	15
Maximální ztrátový výkon (bez chladiče)	$P_{tot(max)}$	W	1.5
Tepelný odpor (přechod - pouzdro)	$R_{\vartheta jc}$	K/W	5.0
Tepelný odpor (přechod - vzduch)	$R_{\vartheta ja}$	K/W	65
Teplota přechodu	ϑ_j	150	$^\circ\text{C}$

$U_c := -45 \div +70^\circ\text{C}$ (teplota pouzdra)

Dle uvedených hodnot stabilizátoru lze dopočítat vhodný chladič. Při stabilizaci napětí z 9 V na 5 V a uvažovaném maximálním odebíraném proudu 500 mA je vyzařovaný výkon stabilizátoru:

$$P_z = 4 * 0,5 = 2 \text{ W} \quad (9)$$

Celkový tepelný odpor obvodu (max. hodnota):

$$R_\vartheta = \frac{(\vartheta_j - \vartheta_a)}{P_z} = \frac{(150 - 25)}{2} = 62,5 \text{ K/W} \quad (10)$$

Tepelný odpor mezi pouzdrem a chladičem bude v případě upevnění chladiče ke stabilizátoru s potřenou stykovou plochou silikonovou vazelínou: $R_{\vartheta cs} = 0,1 \text{ K/W}$.

Tepelný odpor chladiče potom vychází (max. hodnota):

$$R_{\vartheta sa} = R_\vartheta - R_{\vartheta jc} - R_{\vartheta cs} = 62,5 - 5 - 0,1 = 57,4 \text{ K/W} \quad (11)$$

Vzhledem ke konstrukční montáži je vhodnou volbou hliníkový chladič ohnutý do tvaru U s rozměry 13x19x6 mm (Obr. 24), jehož hodnota tepelného odporu činí 25 K/W. [1]

Při této hodnotě vyjde celkový tepelný odpor $R_{\theta} = 25 + 5 + 0,1 = 30,1 \text{ K/W}$ a teplota přechodu a chladiče:

$$\vartheta_j = \vartheta_a + (R_{\theta} * P_z) = 25 + 60,2 = 85,2 \text{ °C} - \text{teplota přechodu} \quad (12)$$

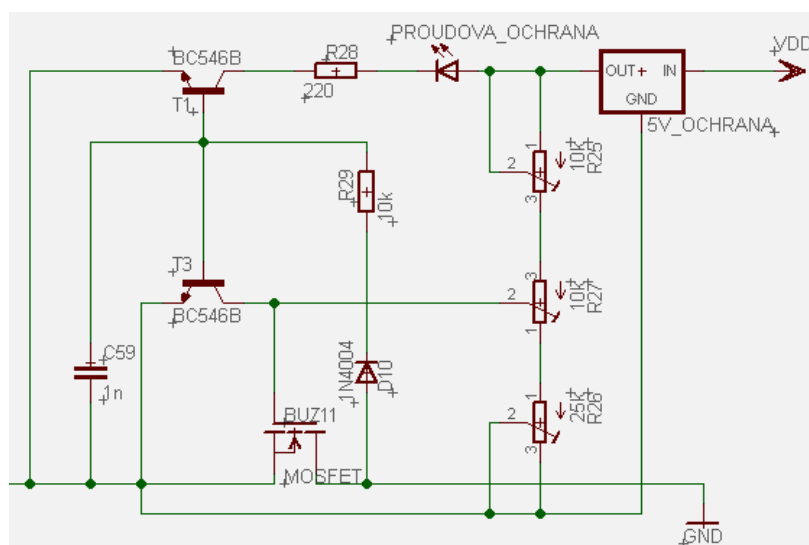
$$\vartheta_c = \vartheta_a + (R_{\theta_{sa}} * P_z) = 25 + 50 = 75 \text{ °C} - \text{teplota chladiče} \quad (13)$$

Výsledné parametry ukazují na správný výběr chladiče, dokonce je chlazení částečně předimenzováno, proto není potřeba dále kontrolovat proudový odběr zařízení.



Obr. 24: Použitý chladič stabilizátoru 7805

Proud přicházející do stabilizátoru, tedy kompletní proudový odběr karty CMB je jištěn proudovou pojistkou. Proud prochází tranzistorem MOSFET, který je schopen přenášet proudy až 33 A a maximální hodnota výkonu tranzistoru je 90 W (samozřejmě s použitím dostatečného chladiče). Proudová pojistka (Obr. 25) je nastavena na proud přibližně 600 mA. Při této hodnotě již prochází rezistorem R29 takový proud, který způsobí otevření tranzistoru T1 a T3. Otevřením T1 dojde k rozsvícení indikační diody „PROUDOVÁ OCHRANA“, která indikuje varovný stav. Tranzistor T3 svým otevřením odebere nosiče náboje z hradla (Gate), což způsobí pokles napětí U_{GS} (gate-source), které podmiňuje vznik vodivého kanálu. Tranzistor se tedy uzavře a obvodem neprochází proud.

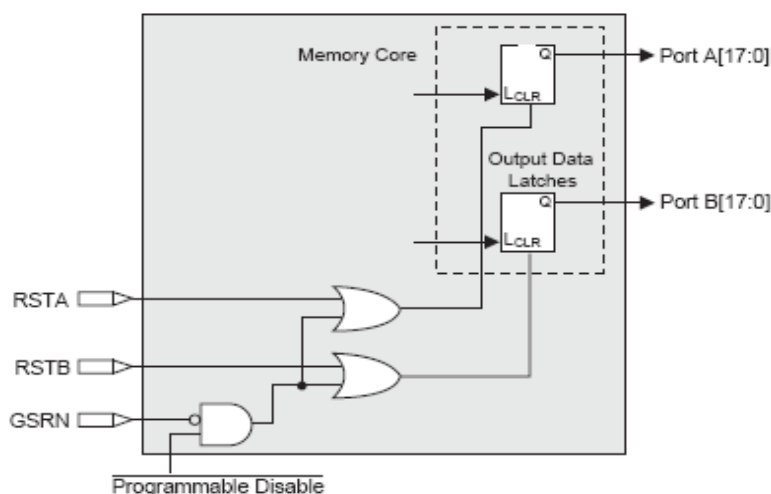


Obr. 25: Proudová pojistka měřicí karty CMB

2) **Strana 2:** Zde je charakterizováno kompletní zapojení FPGA Lattice, včetně napájecích vývodů a vývodů pro připojení externích zařízení. Napájecí piny musí být důkladně odrušeny, aby se zamezilo ovlivnění funkčnosti FPGA vlivem rušení z externích zařízení či přilehlých signálů. Doporučené je použití filtračních kondenzátorů co nejblíže napájecím pinům. Filtrační kondenzátory jsou voleny typu X5R, nebo X7R z důvodu nízké hodnoty ESR, malé parazitní indukčnosti a teplotní závislosti. Samozřejmostí je používání rozlitých mědí na DPS, které minimalizují parazitní indukčnosti a chovají se jako vysokofrekvenční blokovací kapacita. Nejvíce citlivé na kvalitu napájecího napětí jsou obvody fázových závěsů, které ovšem vybrané hradlové pole neobsahuje. I tak je ovšem kvalitní odrušení signálů hradlového pole doporučeno. [12]

Z pinů podporujících řízení činnosti FPGA jsou zapojeny funkce Sleepn a Gsrn. Sleepn slouží k aktivaci úsporného režimu (tzv. režim spánku) a je aktivní v log. 0. Využití úsporného režimu je na kartě CMB možné jen tehdy, je-li rozpojena zkratovací propojka JP13 (viz Přílohy str. 97) a na pin Sleepn je přiveden řídicí signál.

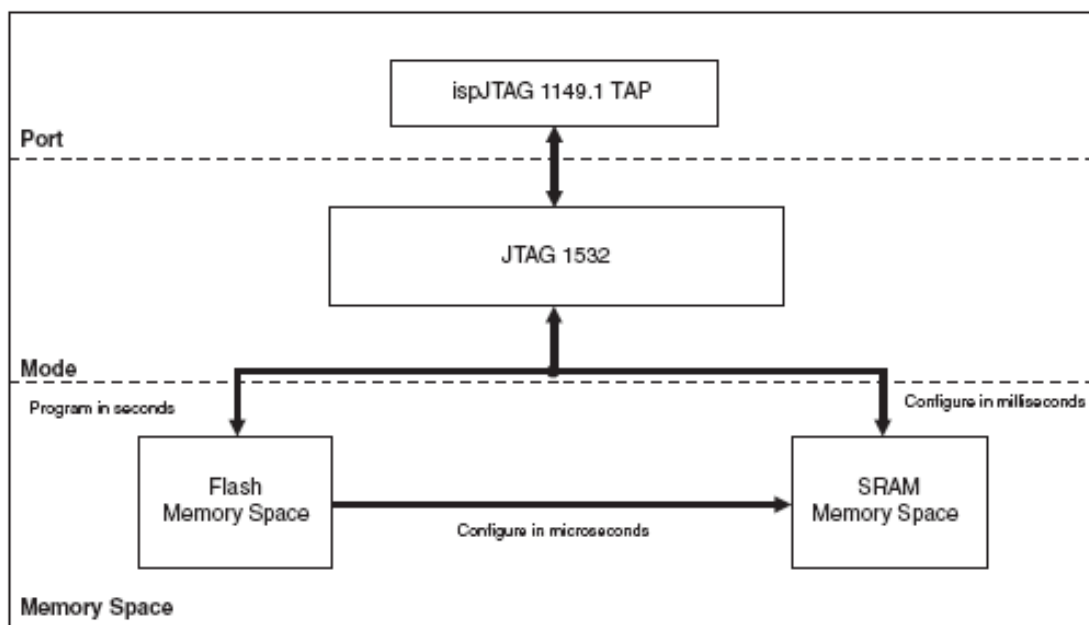
Gsrn slouží k resetování paměťového jádra. Paměťové pole ve vnitřní paměti EBR (Embedded Block RAM) využívá funkcí latch výstupních portů A a B. Ty mohou být asynchronně resetovány. Signál Gsrn resetuje oba porty najednou (Obr. 26). Pro aktivaci je na kartě CMB implementován spínač. (viz Přílohy str. 99)



Obr. 26: Reset paměťového jádra pomocí Gsrn [23]

Hodinové vstupy pole FPGA jsou u daného typu LCMXO640C celkem čtyři. Lze je primárně využít jako vstupy hodinových signálů, případně jako I/O piny. Karta CMB využívá ke své činnosti všechny jako hodinové vstupy. Piny 124 a 127 jsou využity pro vstup hodinového signálu z externího referenčního oscilátoru o frekvenci 32 MHz. Tato frekvence tvoří primární hodinový signál celého FPGA. Všechny výpočty a procesy programu jsou uzpůsobeny hodnotě této frekvence. FPGA je schopné pracovat na maximální frekvenci až 550 MHz, což je pro danou aplikaci a využití CMB zbytečně vysoká hodnota referenční frekvence. Třetí hodinový vstup (55) je určen pro vstup signálu z měřicího oscilátoru řízeného krystalem. Tento signál musí být nejprve natvarován a upraven na úroveň 3,3voltové logiky a poté přiveden na daný vstup FPGA. Poslední hodinový vstup je určen pro možné propojení s externími zařízeními. V případě nutnosti změny hodinových signálů je možné k CMB připojit například externí oscilátor.

3) **Strana 3:** V této části schématu je kompletní návrh řídicí části programovacího kabelu ispDOWNLOAD Cable, pro programování hradlových polí Lattice. Technické řešení (hardware) kabelu je přímo implementováno na desce CMB. Stačí propojit PC s měřicí kartou přes paralelní port a lze nakonfigurovat FPGA. Následující obrázek (Obr. 27) zobrazuje možnosti programování FPGA Lattice.

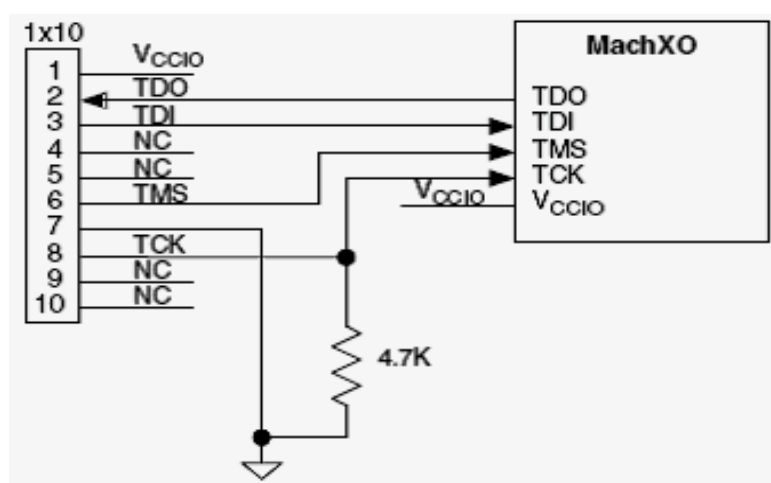


Obr. 27: Možnosti programování FPGA Lattice [24]

Paměť SRAM může být konfigurována dvěma způsoby. Buď přes ispJTAG (mód IEEE 1532) nebo z dat uložených v paměti FLASH.

Paměť FLASH je také programována přes ispJTAG. Více podrobnějších informací o možnostech programování lze získat v použité literatuře. [23], [24]

Piny ispJTAG jsou přiřazené a jsou vždy přístupné, je-li FPGA napájeno. Jedná se o piny TDI, TMS, TCK a TDO, jejichž podrobnější definici lze získat v použité literatuře. [24] Propojení pinů ispJtag kabelu s polem FPGA je velmi intuitivní (Obr. 28). V případě změny FPGA za jiný typ je zapotřebí zkontrolovat množství programovacích pinů a jejich zapojení, neboť jiné typy FPGA mohou mít rozšířené programovací funkce, které jsou vždy popsány v katalogovém listu daného typu FPGA.



Obr. 28: Propojení ispJtag kabelu s FPGA Lattice [24]

V případě, že je programování karty CMB prováděno USB-spi kabelem, je na desce připraven konektor primárně určený tomuto účelu. Ve schématu programovacího kabelu (viz Přílohy str. 98) je tento konektor zobrazen včetně popisů programovacích pinů.

4) **Strana 4:** Schéma zde znázorňuje návrh tvarovače signálu přicházejícího z měřicího oscilátoru (Clappův oscilátor) přes oddělovací kondenzátor. Na schématu je vidět napájení měřicího oscilátoru, které je vedeno po stejném vodiči, po němž zpětně přichází měřená frekvence. Tvarovač je realizován rychlým komparátorem AD8561, který je určen ke zpracování rychlých aplikací (7 ns). Příchozí sinusový signál je před vstupem do neinvertujícího vstupu upraven stejnosměrným napětím tak, aby kmity oscilátoru nezasahovaly do záporného napětí. Na invertujícím vstupu je stejnosměrné

napětí, které definuje překlápěcí úroveň komparátoru. Dosáhne-li napětí na neinvertujícím vstupu hodnotu napětí na invertujícím, překlopí se stabilizátor z úrovně log. 0 do úrovně log. 1.

Komparátor může být napájen dvěma úrovněmi napětí, buď 5 V, nebo 3,3 V. Při napájení 5 V vykazuje komparátor lepší parametry, ale výstupní signál je nutné upravit, aby do FPGA přicházel v logice s napětím 3,3 V. Více informací o použitém komparátoru lze získat z katalogového listu součástky. [31]

Dalšími prvky stránky schématu jsou převodník úrovní 3,3 V↔5 V, krystalový referenční oscilátor o frekvenci 32 MHz, dvě odrušená tlačítka a jeden spínač.

- **Převodník úrovní** byl vybrán od výrobce Philips, typ 74LVC4245. Jedná se o osmiporťový převodník úrovní, jehož směr převodu závisí na nastavení vstupního pinu DIR (Tab. 4). Piny převodníku v logice s napětím 3,3 V jsou připojeny na I/O konektory FPGA a piny logiky s napětím 5 V na vstupně/výstupní lištu, ke které lze připojit externí zařízení. Vstup \overline{OE} nastavuje výstupy budiče do stavu vysoké impedance, což je pro daný přípravek zbytečné. Je proto trvale přiveden na hodnotu log. 0. Jednotlivé piny převodníku jsou popsány ve schématu měřicí karty CMB (viz Přílohy str. 99). Podrobnější informace a parametry obvodu lze získat v katalogovém listu součástky. [30]

Tab. 4: Nastavení řídicích pinů obvodu 74LVC4245

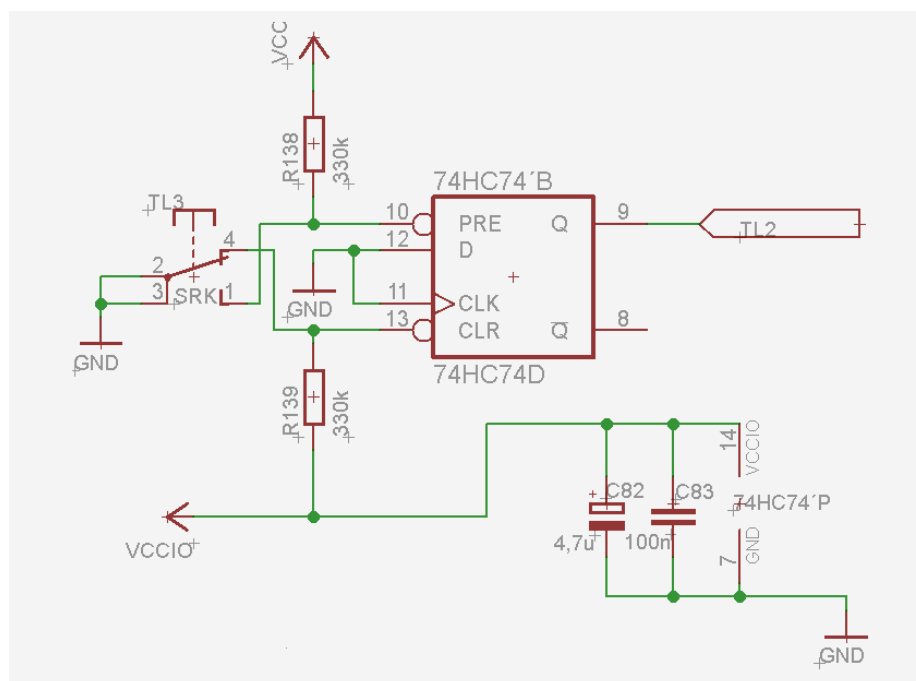
VSTUP		VSTUP/VÝSTUP	
\overline{OE}	DIR	A_n	B_n
L	L	A = B	vstupy
L	L	vstupy	B = A
H	X	Z	Z

- **Referenční krystalový oscilátor** řídí vnitřní hodinový signál FPGA, na němž jsou závislé všechny vytvořené funkce FPGA. Hlavním parametrem oscilátoru je výstupní frekvence, jejíž amplituda musí mít zároveň odpovídající napěťovou úroveň vzhledem k použitému FPGA. Výstupní amplituda závisí na napájecím napětí oscilátoru. Nesmí být opomíjena ani kmitočtová stabilita referenčního oscilátoru, na které závisí výsledná přesnost výpočtové funkce CMB.

Vybraný typ QOH32.00-3 je 32 MHz oscilátor s napájecím napětím 3,3 V. Jeho kmitočtová stabilita udávaná výrobcem je ± 100 ppm (Parts per milion), což odpovídá hodnotě ± 3200 pulzů. S touto nepřesností může referenční oscilátor generovat výstupní frekvenci.

- **Odrušená tlačítka** slouží jako rozšiřující funkce měřicí karty CMB. Jedno tlačítko je zapojeno na vstupní pin FPGA jako globální Reset, kdy po jeho stisku dojde k vymazání všech proměnných a registrů celého návrhu funkce. Druhé tlačítko není využito, ale v návrhu je zavedeno pro možné rozšíření funkcí karty.

Odrušení tlačítek zajišťuje dvojitý D-klopný obvod typu 74HC74. Výstupy tlačítka se zapojují na vstupy Set a Reset klopného obvodu, kdy při stisknutí tlačítka je aktivní Set, při rozeptnutí Reset. Výstup obvodu je poté přiveden na vstupní pin FPGA (Obr. 29). Odrušení je nutné z důvodů zákmitů při stisku tlačítka, neboť po rozeptnutí rozpínacích a před sepnutím spínacích kontaktů tlačítka je výstup v nedefinovaném stavu a dochází k zákmitům. Použitím klopného obvodu je tento stav ošetřen tak, že v časové oblasti přechodu mezi sepnutím a rozeptnutím je klopný obvod ve stavu paměťové funkce, která si pamatuje předchozí hodnotu výstupu a tu udržuje, dokud nedojde k aktivaci vstupu Set, či Reset.



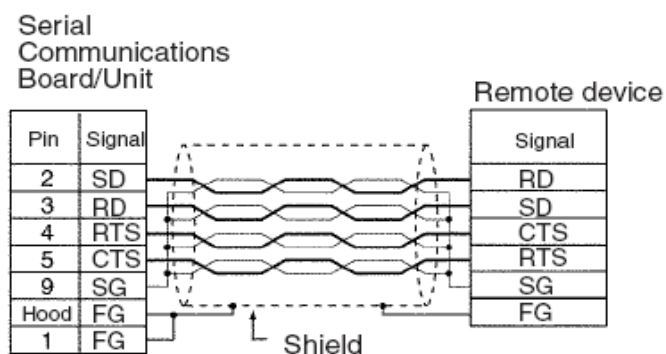
Obr. 29: Odrušení tlačítka pomocí D-klopného obvodu

- **Spínač** má jedinou funkci a to aktivaci vstupu Gsrn hradlového pole FPGA (viz str. 48). Sepnutím spínače dojde k resetování paměťových buněk hradlového pole.

5) **Strana 5:** Předposlední strana schématu se zabývá komunikační částí karty CMB. Je zde kompletní zapojení sériové komunikace RS232 i RS422 a popis pinů dutinkové lišty sloužící k možnému propojení s externími zařízeními.

Komunikace karty CMB s PLC Omron probíhá přes sériové rozhraní. Uživatel může volit, který typ přenosu použije, jestli RS232, nebo RS422. Volba typu přenosu se volí pomocí propojek JP7 ÷ JP12. Na desce CMB je znázorněno, na kterou stranu mají být propojky zapojeny pro nastavení daného typu přenosu. Budiče sériové komunikace jsou voleny obvodem Max488 výrobce Maxim pro RS422 a obvodem Icl3227 výrobce Intersil pro RS232. Konektor sériové komunikace je zapojen při definování přenosu propojkami tak, jak uvádí katalogový list komunikační karty PLC Omron. [27]

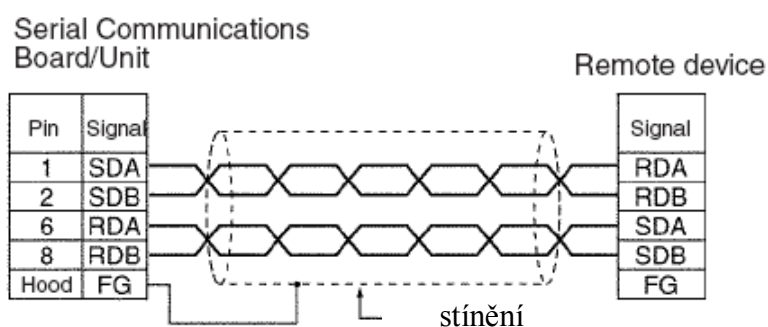
Zapojení RS232 je definováno na následujícím obrázku (Obr. 30). Pozornost musí uživatel věnovat zapojení signálové země u konektorů PLC, která se nachází na pinu 9 konektoru. Pro přenos dat jsou u karty CMB využity pouze piny SD a RD, zbylé kontrolní piny jsou propojeny navzájem tak, jak uvádí obrázek Obr. 32.



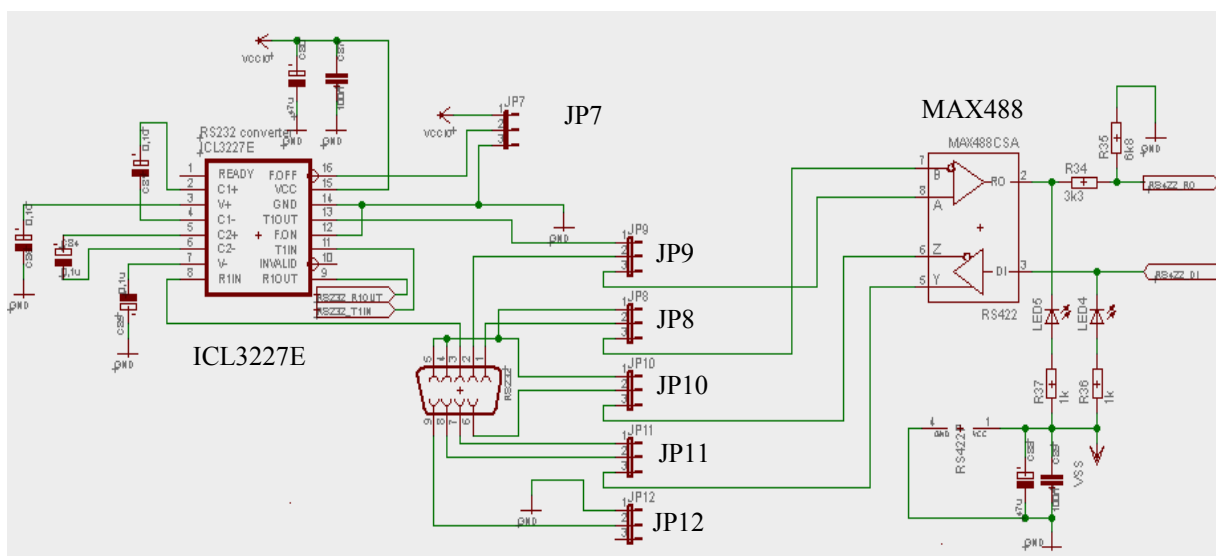
Obr. 30: Zapojení RS232 u PLC Omron [27]

Zapojení RS422 definuje obrázek Obr. 31. Jedná se o čtyřvodičové zapojení přenosu dat, kde se vysílaná data přenáší po dvou vodičích, přičemž na přijímací straně se při zjišťování hodnoty bitu rozlišuje polarita napěťových potenciálů mezi vodiči. Jde o tzv. diferenciální přenos dat. Zesilovač na přijímací straně může být velice citlivý a pro rozeznání logické úrovně postačí rozdíl potenciálů pouze 200 mV. Je to dáno převážně odolností proti rušení. Využití tohoto přenosu dat je vhodné zejména v průmyslu,

neboť kroucené vodiče méně vyzařují signál do okolí a přenášená data jsou zároveň šumem mnohem méně zatížena, než např. u přenosu RS232. Na obrázku, popisujícím propojení zařízení s PLC Omron (Obr. 31), není definováno propojení signálové nuly. Toto propojení se doporučuje, jsou-li zařízení napájena z odlišných zdrojů (případ PLC a CMB). U zařízení CMB je toto propojení provedeno přes kovové pouzdro konektorů sériové komunikace (konektor Canon), na které se připojuje stínění kabelu.



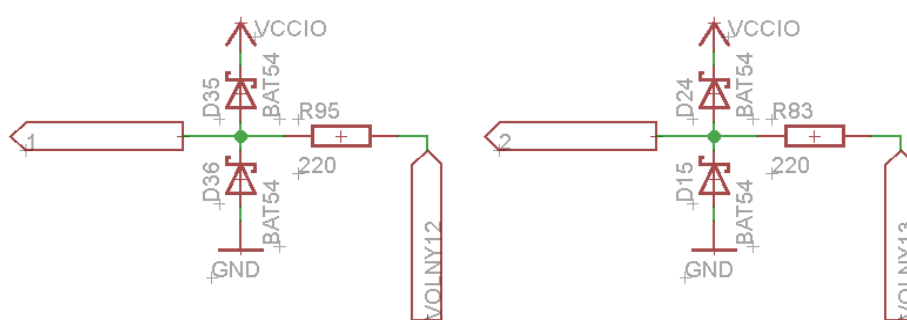
Obr. 31: Zapojení RS422 u PLC Omron [27]



Obr. 32: Sériová komunikace RS232/RS422 – karta CMB

Dutinková lišta na CMB nabízí možnost propojení volných pinů FPGA s externími zařízeními. Část lišty (8 bitů) slouží pro 5 V signály převodníku úrovní (viz str. 51). Zbylé piny slouží pro volné piny FPGA a napájecí napětí vyskytující se na desce CMB.

Propojení pinů lišty s piny FPGA a rozmístění napájecích napětí je zobrazeno ve schématu karty CMB, i na samotné desce, kvůli přehlednosti (viz Přílohy str. 100). Aby se vyloučilo poškození pole FPGA připojením externích signálů, jejichž napěťový rozsah by přesahoval úroveň napájecího napětí hradlového pole, je každý pin FPGA ošetřen Schottkyho diodami (Obr. 33). Jedna dioda je zapojena v propustném směru z pinu FPGA na napájecí napětí a v případě přepětí svede rozdíl napětí do zdroje. Druhá dioda slouží přesně opačně. V případě záporného napětí je toto napětí vyrovnáno zemnicím potenciálem karty CMB. Odpor chrání FPGA v případě, kdy jsou jeho piny použity jako výstupní a jsou připojeny do obvodu s nadměrným proudovým odběrem pro omezení výstupního proudu.



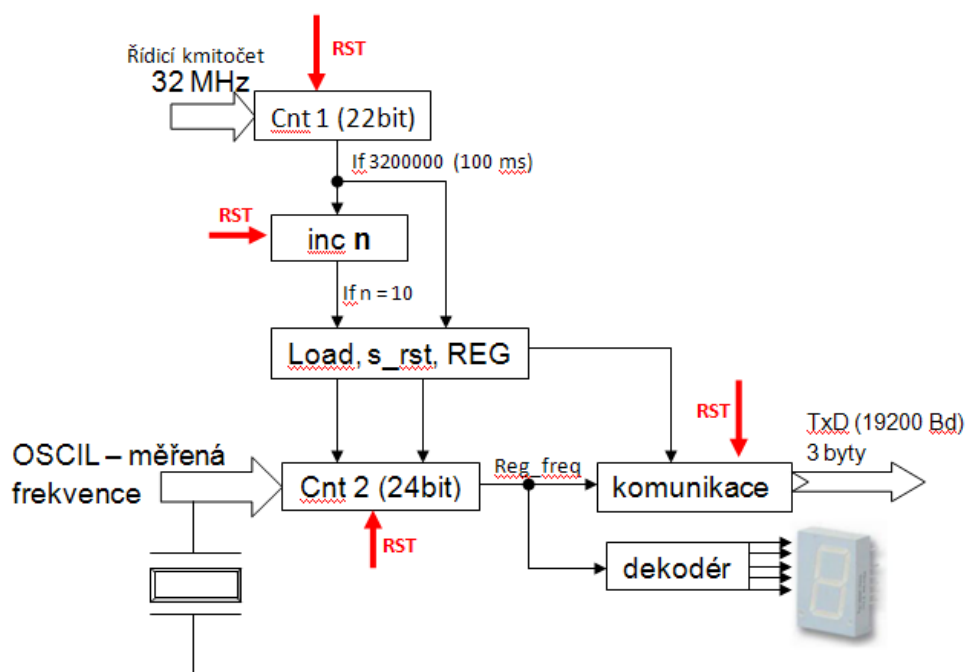
Obr. 33: Ošetření pinů FPGA připojených k dutinkové liště

6) **Strana 6:** Poslední strana schématu je věnována propojení FPGA s LED displeji. Celkem je na kartě CMB pět sedmisegmentových zobrazovačů, které zobrazují hodnotu měřené frekvence v soustavě HEX. Rozlišení měřených výsledků kartou CMB je v řádu jednotek Hz. Frekvence měřicího krystalového oscilátoru, při níž je schopen generovat harmonický průběh, se pohybuje od 5,1 MHz do 4,9 MHz, což odpovídá rozsahu 4DD1E0 ÷ 4AC4A0 Hex. Z důvodu úspory místa na DPS, kvůli omezené velikosti, je frekvence zobrazována bez nejvyššího řádu, který je ovšem pro daný rozsah měření stejný. Hodnota na zobrazovači má pouze informativní charakter. Samotné zobrazení výsledné hodnoty frekvence v dekadickém kódu provádí PLC Omron. Uživateli slouží zobrazovače ke kontrole vypočtené frekvence polem FPGA. Pokud by nastala porucha, lze zpětně zjistit, zda je chyba již ve výpočtu na kartě CMB, případně v komunikaci s PLC nebo v PLC samotném.

K zobrazení měřené frekvence na kartě byly vybrány LED zobrazovače od výrobce Agilent technologies HDSP-A101. Jedná se o nízkopříkonové 7,6 mm vysoké sedmisegmentové zobrazovače v zapojení se společnou anodou. Svítivost segmentů se pohybuje od 0,315 mcd do 0,6 mcd. Hlavní výhodou je jejich malá velikost a nízký proudový odběr segmentů (1 mA).

3.1.2 Funkce FPGA měřicí karty

Jak již bylo výše zmíněno, hlavními funkcemi FPGA měřicí karty CMB jsou funkce výpočtové a komunikační. Výpočtové funkce slouží ke zjištění přesné hodnoty frekvence měřicího oscilátoru. Komunikační funkce mají za úkol přenést informaci o naměřené hodnotě frekvence po sériovém rozhraní z měřicí karty do PLC Omron. Ostatní funkce jako dekodéry sedmisegmentových zobrazovačů, či nastavení pomocných a ovládacích prvků, se řadí mezi rozšiřující funkce pro zajištění uživatelského komfortu. Blokové schéma (Obr. 34) přibližuje průběh a zpracování dat uvnitř pole FPGA Lattice.



Obr. 34: Blokové schéma technického řešení funkce FPGA obvodu

Popis technického řešení funkce FPGA je realizován v jazyce VHDL. Hlavní funkce karty CMB budou dále v textu detailně vysvětleny a popsány.

- **VÝPOČTOVÁ FUNKCE:** Jedná se o stěžejní funkci celého návrhu. Skládá se ze dvou čítačů a pomocných signálů, které slouží k řízení funkce. Hlavní 22bitový čítač *cnt1* čítá pulsy přicházející z referenčního krystalového oscilátoru s frekvencí 32 MHz. Toto provádí po dobu 100 ms (3 200 000 pulsů), kdy inkrementuje proměnnou *n* a resetuje se. Paralelně s hlavním čítačem se spouští vedlejší čítač *cnt2*, který načítá pulzy přicházející z tvarovače signálu, který tvaruje sinusový signál měřicího oscilátoru na signál obdélníkový (signál měřené frekvence). V době, kdy proměnná *n* dosáhne hodnoty 10 a *cnt1* hodnoty 3 200 000 (odpovídá přesně 1 sekundě), se načte hodnota z čítače *cnt2* do registru, povolí se spuštění přenosu sériové komunikace a smazání čítače *cnt2* s následující náběžnou hranou hodinového signálu. Nyní je hodnota načtená v registru rovná hodnotě měřené frekvence. Tato sekvence příkazů se neustále opakuje a měření probíhá do doby, než přijde signál z resetovacího tlačítka *RST*, nebo než dojde k vypnutí napájení měřicí karty. Resetovací signál má nejvyšší prioritu, a pokud nastane, dojde ke smazání všech proměnných, registrů a čítačů, které využívá výpočtová funkce.

Paralelnost chodu čítačů *cnt1* a *cnt2* v jedné entitě je zajištěna využitím procesů, které jsou vykonávány v návrhu paralelně. Každý proces musí mít definovány řídicí signály, což bývá zpravidla signál referenčního oscilátoru *CLK*. V procesu pro čítání frekvence z tvarovače signálu je ovšem vstupní signál nezávislý na vnitřním hodinovém signálu FPGA (referenční kmitočet). Tento problém by mohl vést na tvorbu metastabilit signálu. Proto se musí signálu měřené frekvence přiřadit signál, který je na referenčním kmitočtu FPGA závislý, čímž se nepříznivé vlivy metastabilit minimalizují (Obr. 35). Toto je samozřejmě možné pouze tehdy, když je referenční kmitočet FPGA vyšší než kmitočet měřené frekvence, což v případě CMB platí (měřený = 5 MHz, referenční = 32 MHz). V případě, že by toto neplatilo, bylo by nutné zvýšit referenční kmitočet FPGA použitím rychlejšího krystalového oscilátoru.

```

BEGIN
-- odstraneni metastabilit vlivem dvou ruznych frekvenci, privadenych do FPGA
PROCESS (clk)
BEGIN
IF (clk'event and clk = '1') THEN
    DEL1 <= oscil;      -- signál měřené frekvence oscil převeden na signál
                        --závislý na vnitřním hodinovém kmitočtu FPGA (CLK)

    DEL2 <= DEL1;      -- vnitřní signál DEL2 již plně závislý na vnitřním
                        -- hodinovém kmitočtu FPGA (CLK)
END IF;
END PROCESS;

```

Obr. 35: Odstranění metastabilit externího hodinového signálu

- **KOMUNIKAČNÍ FUNKCE:** Karta CMB musí naměřená data vysílat přes sériové rozhraní do nadřazeného systému, který tato data zpracovává a používá k řízení procesu. Nadřazeným systémem je PLC Omron, který používá komunikační kartu se sériovým rozhraním RS232 a RS422. Karta CMB nabízí oba typy přenosů, záleží na volbě uživatele, který zvolí. Komunikační protokol je pro obě rozhraní stejný.

Funkce, která tvoří komunikační protokol, se skládá ze dvou entit návrhu. **První entita** obsahuje dva čítače, které přesně definují rychlost vysílání dat po sériovém rozhraní tak, aby přijímací zařízení nastavené na dané parametry správně četlo přijímané bity. Nastavená rychlost přenosu dat karty CMB do PLC Omron je 19200 Bd a přenášejí se 3 byty, v nichž je zakódovaná kompletní informace o naměřené frekvenci. Čítače jsou nastavené tak, že čítač *cnt1* čítá do 104. Načte-li tuto hodnotu, inkrementuje se čítač *cnt2*. Dosáhne-li *cnt2* hodnoty 15, nastaví se povolovací bit *TopTx*, který řídí rychlost přenosu. Řešení se dvěma čítači je voleno z důvodu možnosti nastavení libovolné rychlosti přenosu sériové linky.

Pro rychlost 19200 Bd platí doba přenosu na 1 bit:

$$t_f = \frac{1}{19200} = 52,083 \mu\text{s} \quad (14)$$

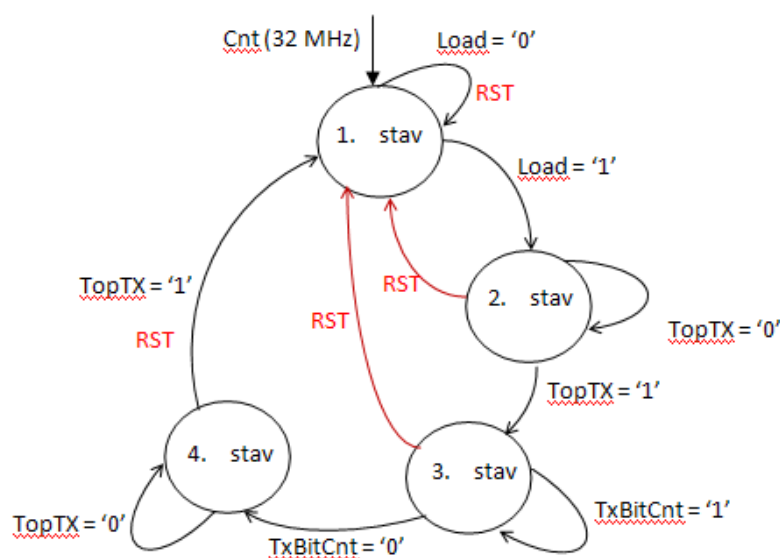
Povolovací bit *TopTx*, který dovoluje čtení bitu z výsledného registru, kde je uložena hodnota měřené frekvence se nastavuje v čase:

$$t_p = \left(\frac{32 \text{ MHz}}{104 \cdot 15}\right)^{-1} = \left(\frac{32000000}{1560}\right)^{-1} = 48,75 \mu\text{s} \quad (15)$$

Je tedy patrné, že čtení bitu probíhá v době, kdy je jeho hodnota přesně definována. Tedy čtení není ponecháno na krajní hodnotu, kdy by mohl již bit přecházet do jiného

logického stavu. Je možné nastavit i jiné hodnoty čítače *cnt1* tak, aby se povolovací bit pohyboval okolo 50 μ s, popřípadě níže a komunikace bude také probíhat. Nastavené hodnoty, se kterými je v diplomové práci počítáno, jsou odzkoušeny na zařízení CMB. Komunikace s těmito hodnotami probíhá spolehlivě bez jakéhokoliv problému.

Druhá entita přímo definuje sériový přenos. K popsání celého komunikačního řetězce je použit stavový automat, který nabývá čtyř stavů (Obr. 36).



Obr. 36: Stavový automat sériové komunikace

Na začátku entity je načten nultý bit registru *Reg*, ve kterém je uložena hodnota měřené frekvence včetně Start a Stop bitů jednotlivých bytů. Jedná se o 30bitový registr, což přímo odpovídá tříbytové komunikaci doplněné o Start a Stop bity. Nultý bit je načítán s každou sestupnou hranou referenčního hodinového signálu FPGA (dále jen *CLK*). Poté již následuje vykonání funkce stavového automatu.

Se sestupnou hranou *CLK* přejde stavový automat do **1. stavu**. Zde setrvává do doby, než přijde po jedné sekundě signál o načtení hodnoty měřené frekvence. Současně s tímto signálem a s hranou *CLK* dojde k uložení hodnoty měřené frekvence do vnitřního registru, který bude v dalším stavu sloužit k nastavení registru *Reg* nutného pro přenos bytů a k přechodu stavového automatu do **2. stavu**. V tomto stavu setrvává do doby, než přijde povolovací bit *TopTx*, který povoluje změnu přenášeného bitu přesně definovanou rychlostí (viz str. 58). Přejde-li tento bit a *CLK*, nastaví se vnitřní čítač stavového automatu na hodnotu 30 (délka registru přenášených dat *Reg*),

uloží se do registru *Reg* hodnota měřené frekvence včetně Start a Stop bitů jednotlivých bytů a stavový automat přechází do **3. stavu**. I zde je podmínkou signál *TopTx*, při jehož aktivní hodnotě se dekrementuje hodnota vnitřního čítače a dojde k rotaci registru *Reg*. Ve 3. stavu automat zůstává do doby, dokud nedojde k rotaci celého registru *Reg*, tedy dokud není vnitřní čítač roven nule. Potom přejde stavový automat do **4. stavu**, který signalizuje dokončení přenosu dat. Se signálem *TopTx* přechází automat ze 4. do 1. stavu a celý proces se opakuje. Jedinou možností přerušení vykonávání stavového automatu je příchod signálu *RST* z resetovacího tlačítka, který má nejvyšší prioritu. Po jeho stisku dojde k nulování čítače i registrů, kromě registru *Reg*, který je z důvodu ukončení komunikace naplněn hodnotou log. 1 => nenastane Start bit pro další přenos.

Komunikace karty je dle zadaných požadavků firmy Preciosa a.s. volena tak, aby měřicí zařízení (CMB) pouze vysílalo naměřená data v intervalu 1 sekundy a neočekávalo žádnou zpětnou informaci od PLC (tzn. aktivní pouze signál *TxD*). Je to z důvodu majoritní funkce PLC jako jediného řídicího systému pro řízení celého procesu, který pouze čte data z CMB a podle nich řídí napařovací proces. V navržené verzi má karta CMB tedy funkci měření a vysílání dat bez možnosti jakéhokoliv zásahu do řídicího procesu.

Kódy kompletních funkcí FPGA, které měřicí karta CMB využívá, jsou přístupné v přílohách k diplomové práci v elektronické podobě jako VHDL soubory na přiloženém CD.

3.1.3 Realizace komunikace karty CMB s PLC Omron

PLC Omron řady CJ1M osazený CPU 13 využívá ke komunikaci s okolními zařízeními sériovou komunikační kartu SCU41-V1 (Obr. 37). Tato karta nabízí dva sériové porty, z nichž jeden komunikuje po rozhraní RS422/485 a druhý po RS232. Pro oba porty je nutné před počátkem komunikace nastavit parametry přenosu. Toto nastavení se provádí v programu sloužícím pro programování PLC Omron, tzv. CX-Programmer.



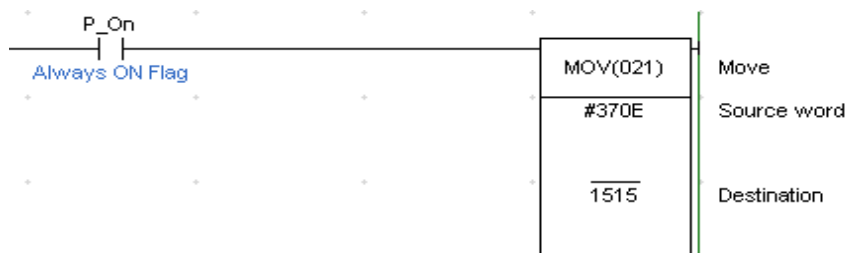
Obr. 38: Sériová karta SCU41-V1



Obr. 37: Programovací kabel Omron

Nejdříve je třeba propojit CPU Omron s PC pomocí speciálního kabelu *CSIW-CN226* (Obr. 38), který slouží k programování PLC. Kabel je propojitelný s PC přes klasický sériový port. Spuštěním prostředí CX-Programmer se načtou připojené jednotky, které lze zobrazit pomocí záložky „IO Table and Unit Setup“. Po načtení jednotek se musí na zobrazené jednotce sériové karty editovat parametry, tedy nastavit potřebné informace o sériovém přenosu. Pro komunikaci s měřicí kartou CMB je nutné nastavit rychlost přenosu = 19200 Bd, počet přenášených bytů = 3, jeden Stop bit, délka slova = 8 bitů, bez parity. Po nastavení těchto parametrů je vybraný port připraven komunikovat s externím zařízením. V přílohách diplomové práce na přiloženém CD je uložen program pro komunikaci PLC s CMB včetně správného nastavení portů.

Pokud je nastavení přenosu a komunikačních portů definitivní, je doporučeno toto nastavení ošetřit i programově. Pokud by došlo ke změně hodnot specifikujících komunikaci např. spuštěním programu na jiném PLC, nastavení v programu zůstane a PLC si hodnoty načte. Toto ošetření se provádí zapsáním pevné hodnoty na adresu, která je určena pro nastavení komunikačních parametrů. Tato možnost, kterou využívá PLC při komunikaci s CMB, je zobrazena na následujícím obrázku (Obr. 39). Jednotlivé bity jsou nastaveny dle manuálu tak, aby byl přenos specifikován dle potřeby. [27]

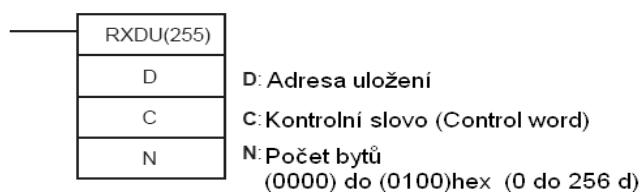


Obr. 39: Nastavení parametrů komunikace

Jsou-li porty připravené komunikovat s externím zařízením, je zapotřebí vytvořit program, který definuje sériový přenos zařízení a umožní číst hodnoty ze sériového portu, popřípadě na port i zapisovat (obousměrná komunikace). Program je v daném případě vytvořen tzv. Ladder diagramem (žebříčkový diagram). Jedná se o jazyk kontaktních schémat. Program se v tomto jazyku vykonává tak, jak jsou instrukce zakresleny, tedy zleva doprava a shora dolů. Vlevo jsou vstupní podmínky, vpravo potom výstupní instrukce. Sériovým řazením podmínek zavádíme jejich logický součin, paralelním pak logický součet. Po vykonání instrukce se testuje přítomnost paralelních větví. Pokud jsou přítomné, mezivýsledek se uloží do zásobníku a vykoná se paralelní větev. Pokud nejsou, program pokračuje dalším řádkem. Pro jednoduché instrukční celky je programování Ladder diagramem přehledné a názorné, ovšem pro programování větších celků musí programátor dbát na přehledné dělení funkčních celků tak, aby bylo možné se v programu orientovat.

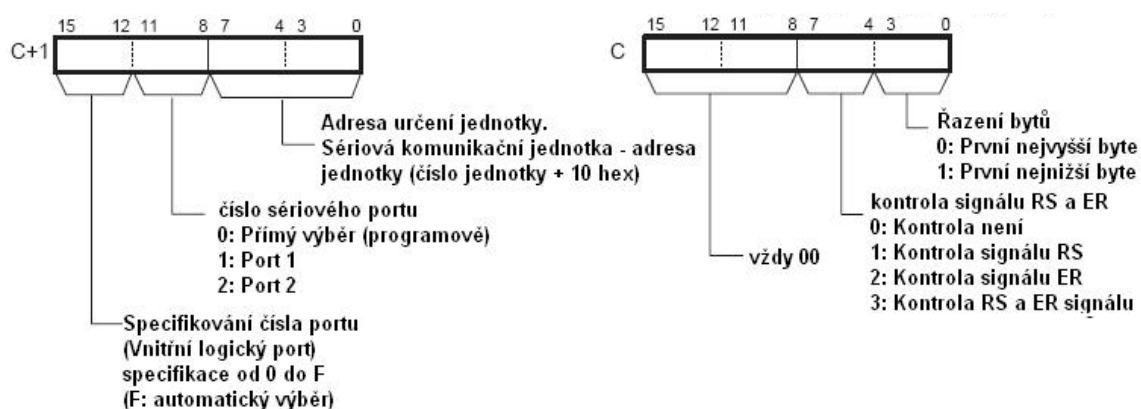
Vytvářený program pro komunikaci PLC Omron využívá pro sériový přenos instrukci RXDU. Tato instrukce čte data přicházející na sériové porty sériové komunikační jednotky (SCU). Lze ji použít pouze při přímém přístupu na port. Existuje také komunikace v tzv. Protocol Macro módu, kde se přenos specifikuje v programu CX-Protocol, který je součástí instalačního balíčku Cx-Programmer. Tento mód komunikace se využívá především pro složité komunikační procesy několika zařízení. Pro případ sériového přenosu příjmu dat z jednoho zařízení je mnohem elegantnější způsob komunikace pomocí komunikačních instrukcí.

Instrukce RXDU musí být před začátkem přenosu parametrizována pomocí kontrolního slova (Control word = C), které přesně definuje typ přenosu. Dále je třeba definovat datové místo (adresu uložení D), kam se budou přijímaná data ukládat a počet přijatých bytů (N) v rozsahu 0 až 256 (Obr. 40).



Obr. 40: Parametrizování instrukce RXDU

Kontrolní slovo je rozděleno na dvě 16bitová slova, která se značí C a C+1, přičemž jako první (horní byte) se zapisuje C+1 a hned za něj C. Význam jeho jednotlivých bitů je vysvětlen na následujícím obrázku (Obr. 41).



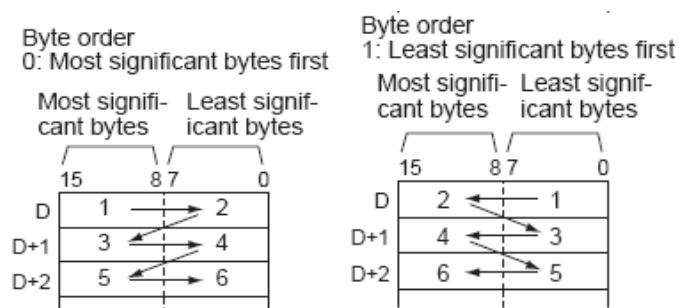
Obr. 41: Význam bitů kontrolního slova (Control word) [26]

Pro výběr portu je možné nastavit C+1 v rozsahu bitů 8÷11 hodnotou 0, což znamená výběr portu pomocí programového nastavení. To se provádí tak, že se nastaví adresa uložení (D) na hodnotu: 80 HEX + 4*číslo jednotky - pro port 1

81 HEX + 4*číslo jednotky - pro port 2

Logický port může být nastaven na libovolnou hodnotu v rozsahu bitů 0÷7. Pokud je nastaven na hodnotu F HEX, znamená to automatický výběr portu.

Adresa uložení (D) definuje počáteční adresu, kam se přijímané informace ukládají. Jde o 16bitový prostor, který po zaplnění přejde na následující adresu (D+1) (Obr. 42).



Obr. 42: Ukládání přijatých bytů [26]

Počet bytů (N) uvádí počet přijímaných bytů. Tato specifikace je nutná z hlediska jistoty správné přijaté hodnoty. Pokud by přišlo více bytů, než je nastaveno instrukcí, budou ztraceny. Ukončení přenosu indikuje příznak Reception Completed Flag.

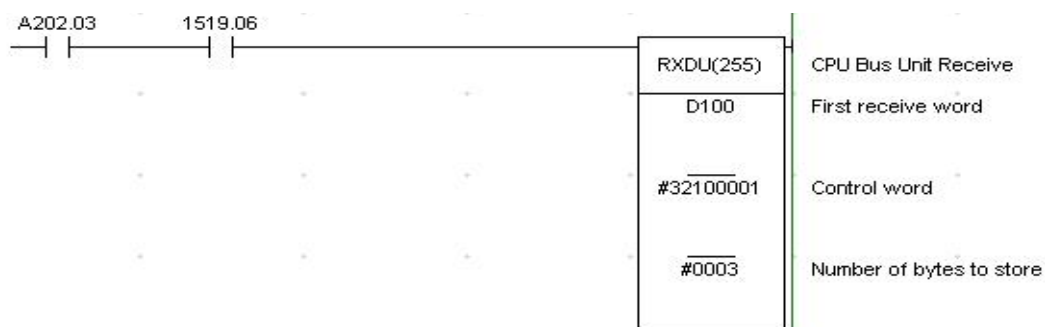
Pokud přijde více bytů, než je nastaveno instrukcí, indikuje se příznak přetečení Reception Overflow Flag. Pro kontrolu přijatých dat slouží i interní čítač Reception Counter. Popis pomocných příznaků (flagů) je uveden v následující tabulce (Tab. 5). Pro uživatelskou činnost je výhodné v programu zobrazovat i chybová hlášení komunikačních funkcí. V tabulce (Tab. 5) je uveden i jeden z chybových příznaků, který se čte z bitu 04 daného paměťového prostoru CPU. Tento prostor je vyhrazen chybovým hlášením, které lze zjistit v použité literatuře. [26]

Tab. 5: Popis a přiřazení příznaků (flagů) sériové komunikace

Word		Bit	Function
Port 1	Port 2		
n+8	n+18	04	Overrun Error Flag 1: Paměť přijatých dat obsahuje více než 255 bytů dat před vykonáním instrukce RXDU (255) Note: Jakmile tento flag přejde do ON, může být vrácen do OFF pouze vypnutím napájení nebo restartováním desky
n+9	n+19	06	Reception Completed Flag 0: Žádná data k přenosu, nebo právě přijímaná data 1: Přenos kompletní 0 → 1: Deska, nebo jednotka má přijmout specifikovaný počet bytů 1 → 0: RXDU(255) byla vykonána k zapsání dat z vyrovnávací paměti do oblasti dat CPU
n+9	n+19	07	Reception Overflow Flag 0: Deska nebo jednotka nemá přijmout více, než je specifikovaný počet bytů 1: Deska nebo jednotka má přijmout více, než je specifikovaný počet bytů 0 → 1: Deska nebo jednotka přijmula více dat, poté co byl ukončen příjem dat 1 → 0: RXDU(255) byla vykonána k zápisu dat z vyrovnávací paměti do oblasti dat CPU
n+10	n+20	05	Reception Counter Indikuje počet přijatých bytů v hexadecimál mezi 0000 a 0100 (0 až 256 dekadicky)

(n = CIO 1500 + 25 × unit number)

Pro přenos dat s využitím instrukce RXDU musí být jako podmínka vykonání instrukce zařazen před funkci RXDU příznak povolení komunikačního portu Communications Port Enabled Flag. Má vyhrazený adresový prostor A20200÷A20207. Do stavu ON se nastaví, pokud může být komunikační instrukce (RXDU(255)) vykonána na uvedeném portu. Bit 00÷07 se shoduje s komunikačním portem 0÷7. Příznak je ve stavu OFF, pokud je komunikační instrukce vykonávána a ve stavu ON, když je vykonání kompletní. Následující obrázek (Obr. 43) zobrazuje aplikaci instrukce RXDU pro komunikaci CMB s PLC.



Obr. 43: Použití instrukce RXDU včetně příznaků a nastavení

Pro jiné verze PLC Omron se tato nastavení zásadně neliší. Záleží hlavně na typu CPU a na verzi sériové komunikační karty. Starší verze například nepodporují funkci RXDU a parametry přenosu se volí přímým zapisováním hodnot do vybraných částí paměti, které jsou určeny pro nastavení přenosu. V současné době je instrukční soubor stále rozsáhlejší a problémy s podporou postupně mizí.

Veškeré informace týkající se nastavení sériové komunikace PLC Omron byly čerpány z manuálů pro CPU Omron a sériové komunikační karty. [26], [27] Po jejich nastudování byly všechny popisované funkce a nastavení vyzkoušeny a simulovány. Následně byly přeneseny do praktické průmyslové aplikace, kde spolehlivě pracují.

3.2 Návrh a realizace funkčního vzorku měřicí karty

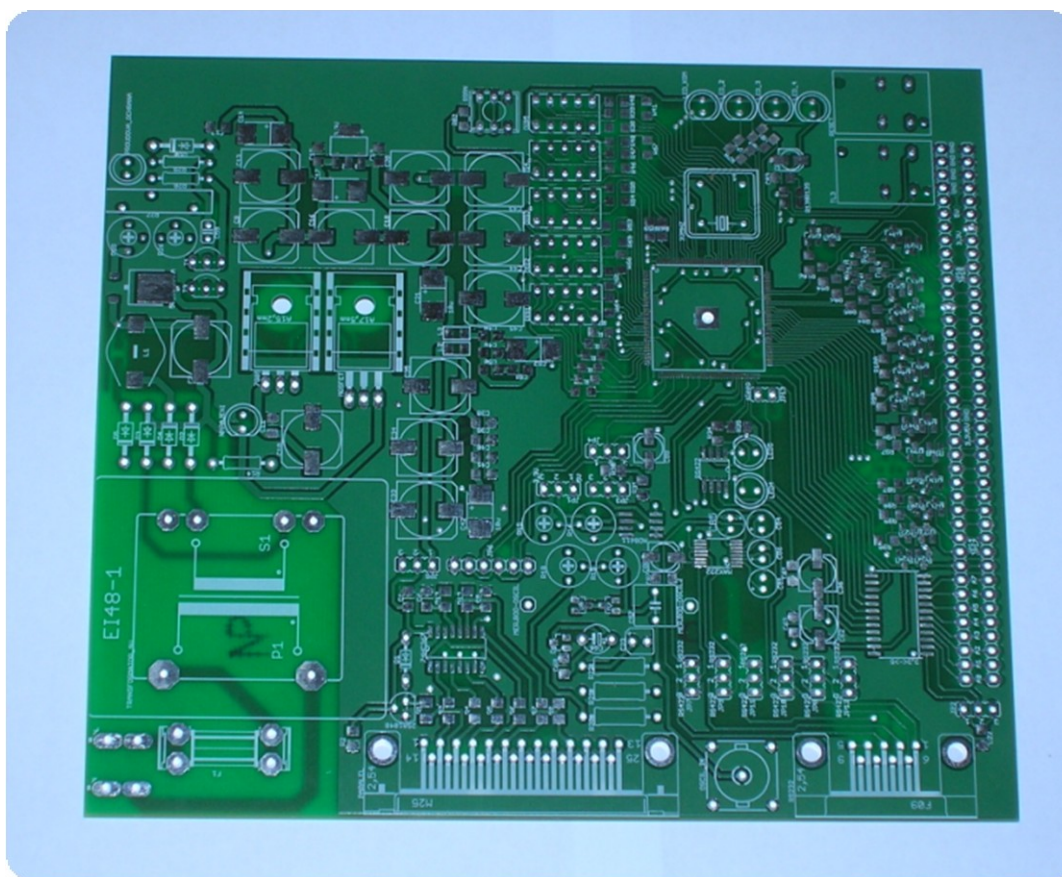
Výsledkem diplomové práce má být funkční vzorek měřicí karty, který bude splňovat zadané požadavky. Návrh funkcí obvodu FPGA lze s výhodou realizovat a prakticky odzkoušet na kartě FUB (viz str. 30), včetně komunikace s PLC Omron.

3.2.1 Návrh DPS a jejího vzhledu

Návrh desky s plošnými spoji (DPS) měřicí karty CMB byl realizován v programu Eagle 5.10.0 (viz kapitola 3.2.3). Hlavní požadavky návrhu se týkaly velikosti DPS, neboť se předpokládá její umístění do rozvaděče napařovacího zařízení, dále pak odolnosti proti rušení a uživatelské přístupnosti k ovládacím a propojovacím prvkům.

Z důvodu ceny a možnosti kontroly signálů byla použita dvouvrstvá deska s tloušťkou mědi 18 μm . Dvě vrstvy DPS dovolí propojení všech prvků, bez nutnosti použití drátových propojek. Tloušťka signálových cest je vždy větší než 0,3 mm, což platí i pro prokovy a vrtání. Pokud by tloušťka měla méně než 0,3 mm, musel by návrh filmové předlohy projít při výrobě přesnější technologií a výroba by se zdražila. Pro výrobu DPS byla vybrána firma Pragoboard, z důvodu přijatelných cen, rychlého dodání a kladných zkušeností z předchozího návrhu karty FUB. Elektronické součástky, kterými je měřicí karta osazena, musely být pečlivě vybírány z hlediska parametrů, ceny a dostupnosti. Konkrétními dodavateli byly firmy GME, TME a FARNELL.

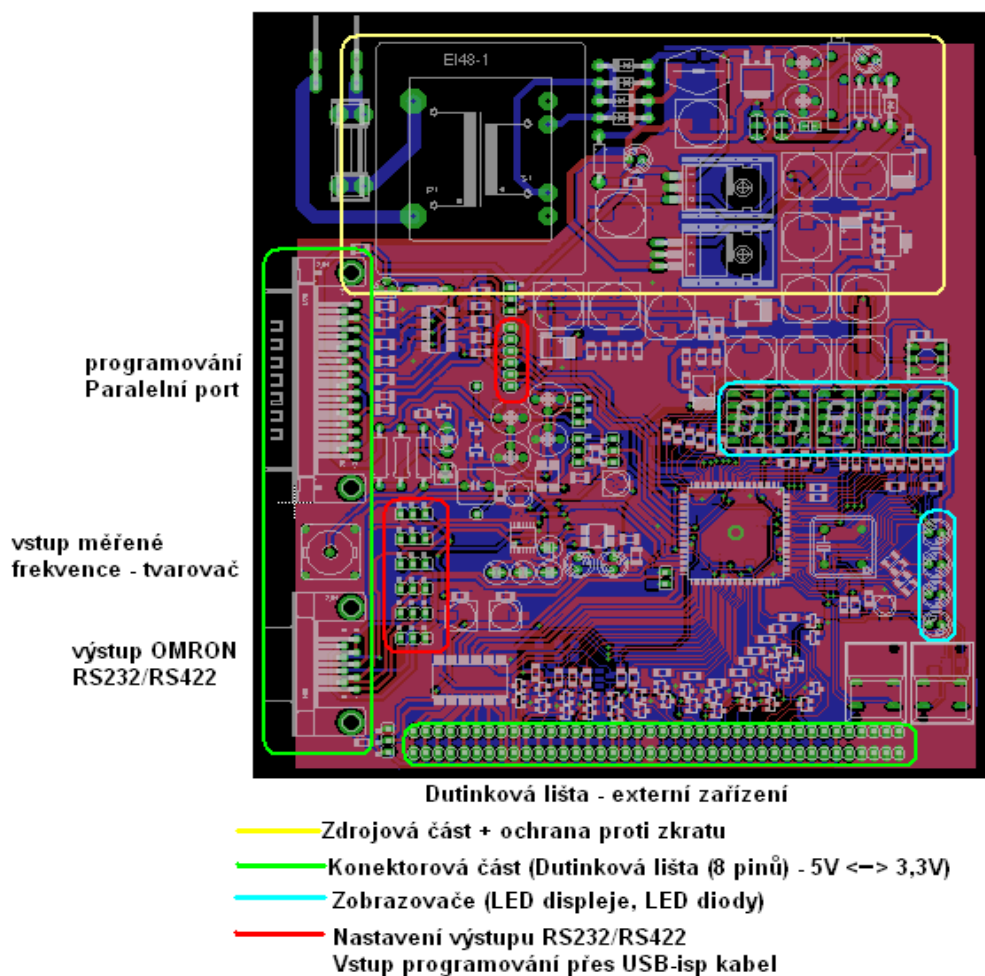
Obrázek Obr. 44 zobrazuje výslednou podobu desky plošného spoje měřicí karty CMB. Vrchní strana (TOP) návrhu je osazena většinou součástek, hlavně integrovanými obvody, které jsou pro návrh použity (FPGA, převodníky, budiče, stabilizátory atd.) Na spodní části (BOTTOM) jsou umístěny převážně SMD rezistory, odrušovací keramické kondenzátory a ochranné schottkyho diody. Spodní vrstva jinak slouží hlavně jako polygon potenciálu GND.



Obr. 44: Deska plošného spoje měřicí karty CMB

3.2.2 Rozmístění funkčních prvků a odrušení

Deska měřicí karty byla navržena tak, aby funkční prvky a konektory byly uživatelsky dostupné a aby byly jednotlivé části na desce uspořádány v přehledných blocích (zdrojová část, část programovacího technického řešení atd.). Obrázek Obr. 45 zobrazuje rozmístění částí DPS a význam jednotlivých konektorů přípravku. Konektory přípravku jsou umístěny po straně DPS z důvodu přístupu, ovládací a zobrazovací prvky jsou umístěny tak, aby byly uživatelsky přístupné.



Obr. 45: Rozmístění jednotlivých částí na DPS

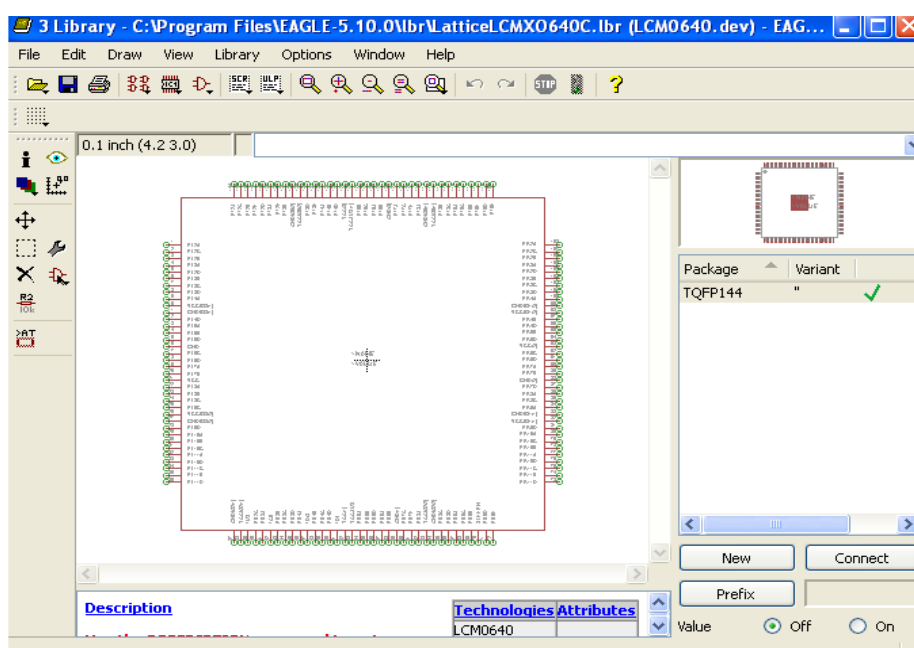
Zvláštní pozornost návrhu si vyžádalo odrušení, na němž závisí stabilita a přesnost zařízení. Vliv rušivých signálů může ovlivnit jak výpočtovou, tak komunikační funkci a data, která budou z CMB vystupovat, nebudou odpovídat skutečně naměřeným hodnotám. Na desce je možnost maximálního odrušení pomocí polygonu připojeného na GND, neboť se jedná pouze o dvouvrstvou DPS a není možné náchylné signály umístit mezi polygony, jako je tomu možné u vícevrstevných DPS. Je doporučeno

nepoužívat v místě náchylných signálů na rušení vysokofrekvenční signály. Důležité je také umístění měřicí karty do odrušeného pouzdra, které dokáže odolávat vlivu silných elektromagnetických rušení. Toto pouzdro je v rozvaděči uchyceno na DIN liště.

3.2.3 Návrhový programový systém Eagle 5.10.0

Pro tvorbu schématu a následný návrh DPS je využit programový systém Eagle 5.10.0 professional, který je jedním z nejpoužívanějších návrhových programových systémů. Jeho výhodou je přehledné ovládání s množstvím funkcí a rozsáhlé knihovny součástek včetně pouzder. Ty je možné ještě dále rozšířit vlastními knihovnami, případně stáhnutím z oficiálních stránek (<http://www.cadsoft.de/>). Návrh knihoven spočívá v tvorbě schematické značky včetně definice pinů a následném vytvoření pouzdra dané součástky. Poslední fáze závisí na přiřazení pinů součástky jednotlivým vývodům pouzdra a povolení návrhu v knihovně součástek.

Návrh měřicí karty CMB vyžadoval tvorbu několika součástek (převodník úrovní, FPGA Lattice a další). Hlavním a nejsložitějším prvkem návrhu bylo FPGA Lattice (Obr. 46). Přiřazení 144 pinů je náročné na pozornost, neboť jediná chyba návrhu by mohla vést k nefunkčnosti obvodu a v nejhorším případě k jeho zničení. Elektronické přílohy obsahují i soubory s vytvořenými a implementovanými knihovnami součástek. Více informací o programu Eagle a jeho funkcích lze nalézt v použité literatuře. [5]



Obr. 46: Příklad tvorby součástky (Lattice LCMXO640)

3.3 Oživení měřicí karty CMB

Jedním z požadavků při návrhu DPS a výběru součástek byla možnost ručního pájení všech použitých součástek. Pro osazení hradlového pole a dalších SMD integrovaných obvodů je výhodné použít kvalitní mikropáječku s regulovatelným zdrojem teploty.

Osazení přípravku probíhalo po částech. Nejdříve byla osazena a následně odzkoušena zdrojová část včetně proudové pojistky, aby bylo zajištěno bezproblémové napájení ostatních obvodů. Další část osazení se týkala hardwaru programovacího kabelu a FPGA Lattice včetně potřebných blokovacích kondenzátorů sloužících k odrušení napájecích pinů FPGA. Propojením CMB s PC pomocí paralelního kabelu úspěšně proběhla konfigurace FPGA jednoduchým programem, vytvořeným v programu Diamond 1.2, do SRAM i do FLASH paměti. Touto zkouškou byla zjištěna funkčnost jedné z nejdůležitějších částí, která slouží jak pro výpočet, tak pro komunikaci s PLC Omron. Poté byla DPS osazena zbylými součástkami. Nakonfigurováním jednotlivých testovacích programů do FPGA byla odzkoušena funkčnost použitých periférií. Následovalo tedy nahrání kompletní funkce FPGA, která slouží pro daný účel měření a komunikace CMB. Po nahrání programu byly funkce odzkoušeny měřením frekvence z připojeného generátoru a propojením CMB se sériovým portem PC. Propojením s PC (pomocí funkce hyperterminálu) mohly být sledovány naměřené hodnoty frekvence a porovnány s hodnotami vycházejícími z generátoru. Zároveň tedy byla zjištěna i funkčnost komunikace sériového rozhraní. Výpočet probíhal bez chyb a zobrazovaná frekvence v PC odpovídala v řádu jednotek frekvenci, která byla vysílána z generátoru.

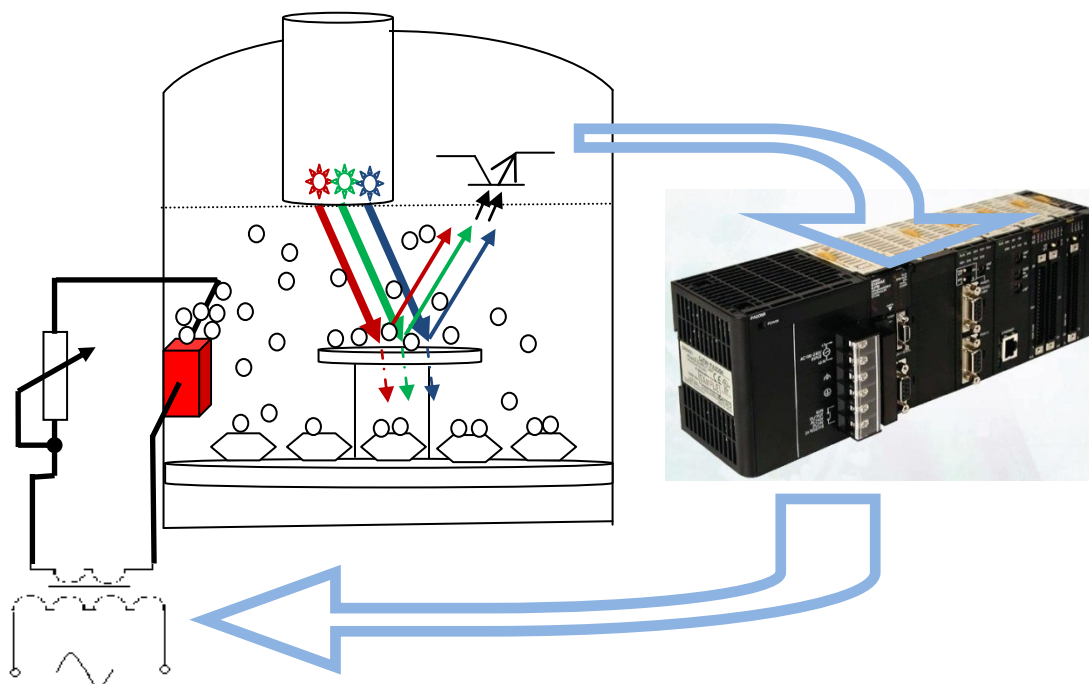
4 Aplikace měřicí karty CMB

Měřicí karta je používána v napařovacích strojích Balzers ve firmě Preciosa a.s. závod 4 Turnov. Tento závod se zabývá dekorativním napařováním tenkých vrstev kovu na bižuterní kamínky. Právě tato nanášená vrstva kovu musí být měřena a technologie nanášení přesně řízena dle daných návodů.

4.1 Řízení napařování pomocí optických měřidel a měřicí karty

Tloušťka napařené vrstvy je v uzavřeném systému měřena pomocí optických měřidel a sledovaným parametrem výsledné vrstvy je její dekor (barva). Při samotném procesu napařování záleží hlavně na rychlosti napařování, která je pro výslednou kvalitu a zbarvení vrstvy velice důležitá. O měření rychlosti se stará měřicí karta CMB. Výsledné parametry naměřené optickými měřidly a měřicí kartou CMB sleduje PLC Omron a dle nich nastavuje parametry, které ovlivňují napařovací proces (proud lodičkou, přepnutí ohřevu z jedné lodičky na jinou při dokončení vrstvy atd.). Program PLC, který je pro řízení celého procesu vytvořený, je značně obsáhlý.

Měření optickými měřidly je založeno na principu interference světla (Obr. 47).

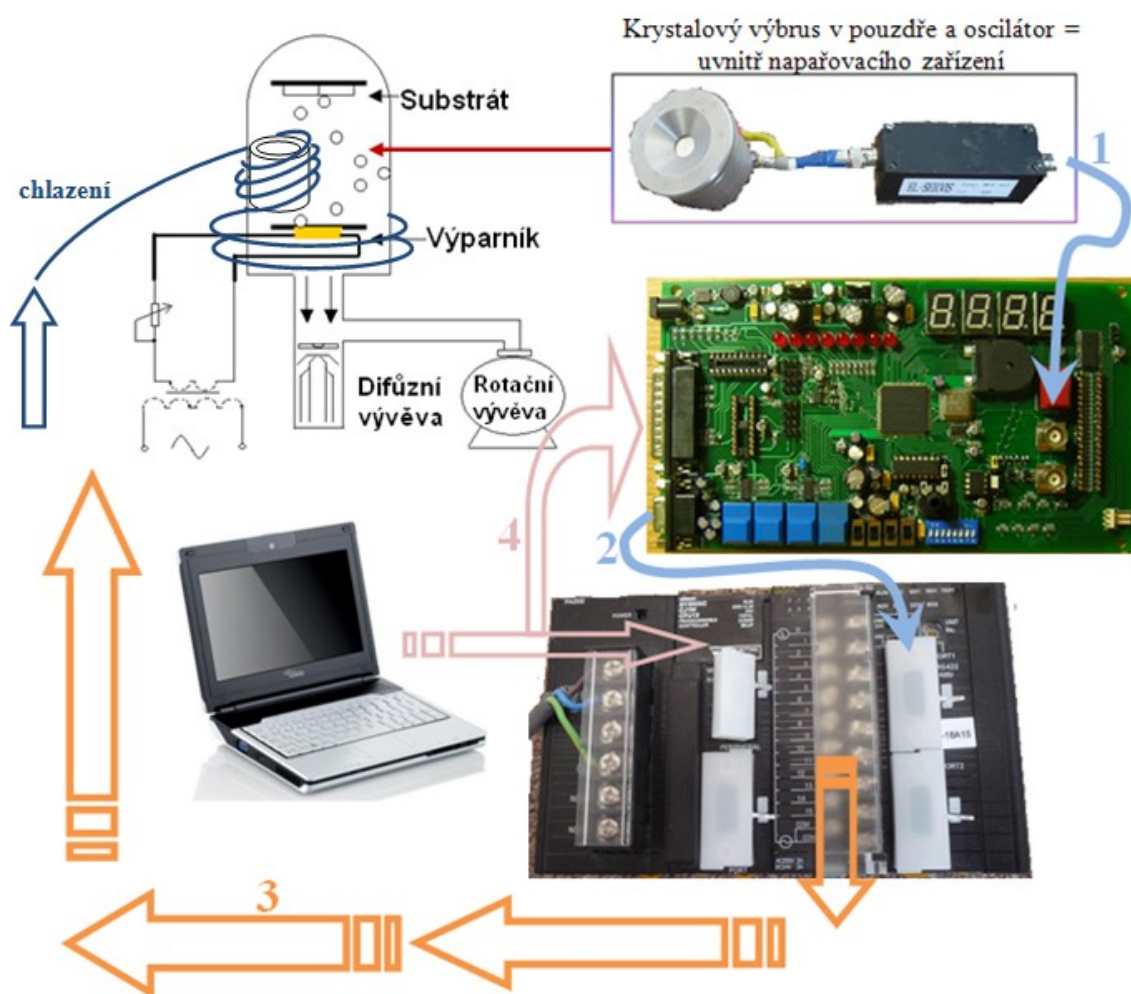


Obr. 47: Princip měření optickými měřidly

Soustava 3 výkonných barevných LED diod osvětluje dané místo v napařovací komoře. Toto místo je osazeno výřezem skla, od kterého se světlo odráží na fototranzistory, které

vyhodnocují odražený světelný signál. Je-li aktivní proces napařování, výřez skla se nanášenými vrstvami barví a jednotlivá barevná spektra diod jsou pohlcena a jiná naopak zesílena. Elektrické signály vzniklé odrazem světla přesně definují danou barvu vrstvy a tím i danou tloušťku. Po napaření jednoho procesu musí být výřez skla vyměněn, aby další proces nebyl ovlivněn již nanesenou vrstvou. Pomocí optických měřidel se hlídá zapínání, vypínání a přepínání toku proudu do lodiček.

Měřicí karta CMB využívá pro měření tloušťky vrstvy metodu dynamického vážení kmitajícím křemenným krystalem a dle naměřených výsledků je v napařovacím procesu (Obr. 48) hlídána rychlost napařování (velikost proudu lodičkou).



Obr. 48: Napařovací proces včetně měření rychlosti napařování

Měřicí oscilátor harmonicky kmitá rezonanční frekvencí. Signál je po přivedení na vstup CMB upraven a zpracován v FPGA (1). Při napařování se na měřicím krystalu umístěným vně oscilátoru usazuje vrstva napařovaného materiálu a tlumí mechanické

kmitů krystalu. Útlum kmitů krystalu způsobí změny frekvence měřicího oscilátoru. CMB měří přímo hodnotu frekvence měřicího oscilátoru, kterou pravidelně vysílá do PLC (2). Zde je již signál upraven tak, aby výslednou hodnotou byl pokles frekvence při napařování, díky čemuž lze řídit rychlost napařování (3). Při nanesení určité tloušťky materiálu je krystal utlumen tak, že již oscilátor není schopen generovat harmonický průběh. V tomto případě musí být krystal buď vyměněn, nebo vyčištěn (odmytím). Čištěním ovšem degraduje a po určité době musí být vyměněn za nový.

Měřicí oscilátor je napájen přímo z desky CMB koaxiálním kabelem, kterým je zpětně přenášena i měřená frekvence. Tento způsob je volen z důvodu omezených průchodů vakuovou průchodkou, která odděluje nízkotlakou část napařovací komory od atmosférického tlaku. Průchodka má celkem 4 průchody, z nichž 2 jsou zabrány pro měření měřicím oscilátorem, a 1 je zabrána pro přívod napájení k vnitřnímu osvětlení komory. Zajímavostí je uložení měřicího krystalu mimo oscilátor a jejich spojení koaxiálním kabelem. Oscilátor je umístěn v kovovém pouzdře z důvodu odrušení a schopnosti odvodu tepla (Obr. 49). Ve zvláštním pouzdře je umístěn i měřicí krystal. Z důvodů vysokých teplot při procesech napařování vlivem přenosu tepla odpařovanou látkou je pouzdro oscilátoru i měřicího krystalu chlazeno proudící vodou. Chlazením je udržována v pouzdrech přibližně konstantní teplota, tudíž není potřeba řešit teplotní závislosti jednotlivých součástí ani měřicího krystalu. Pokud by teplota uvnitř pouzder znatelně kolísala, bylo by nutné pouzdra opatřit čidlem teploty a dle aktuálních naměřených hodnot upravit výsledky měření. To by ovšem znamenalo zásah do vakuové průchodky a její rozšíření o několik dalších průchodů.



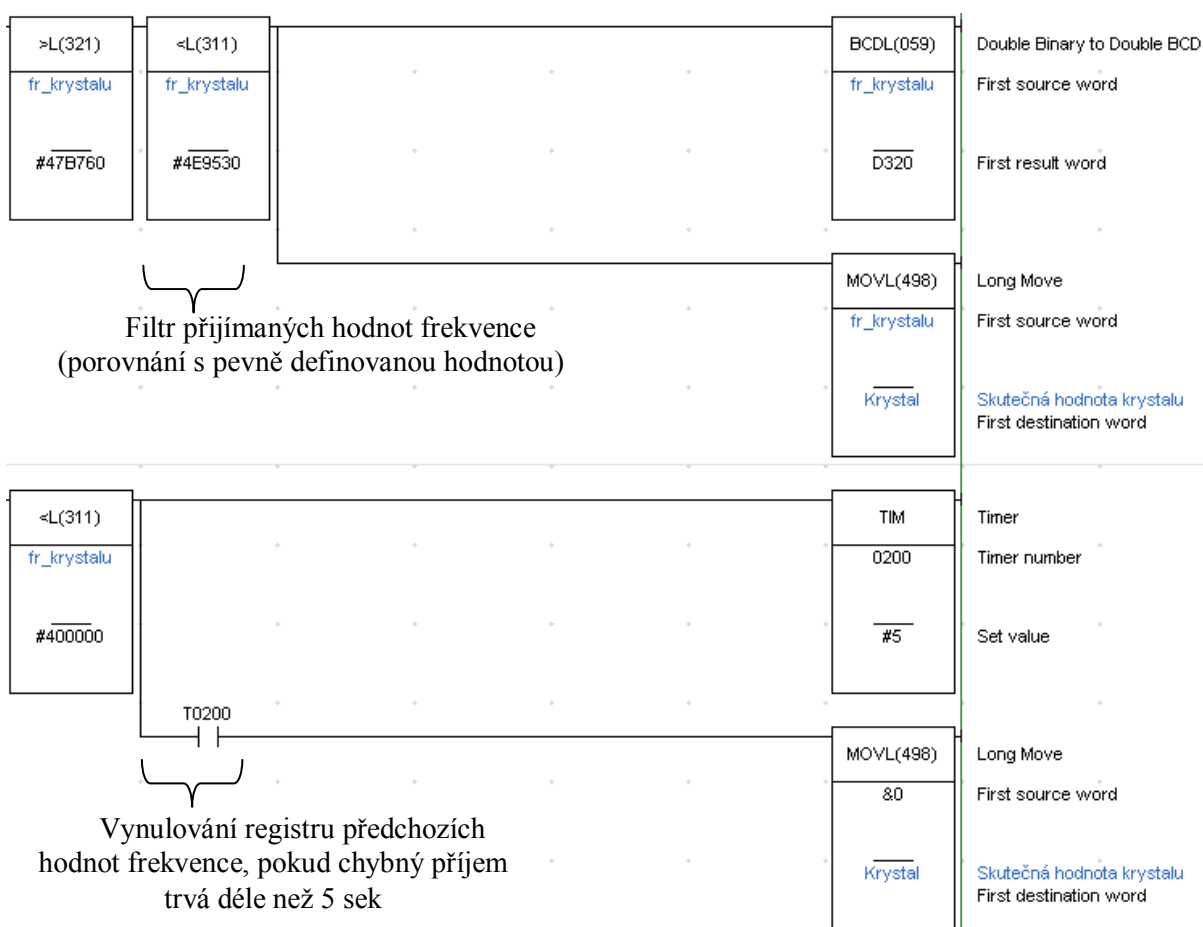
Obr. 49: Uložení křemenného krystalu v pouzdře chlazeném vodou

Chlazena je i část vakuové komory v místě uložení lodiček se zdrojovým materiálem. Teplota je zde vlivem ohřevu značně vysoká (až 500°C) a z důvodu bezpečnosti je nutné toto místo chladit.

4.2 Funkce zpracování signálu v PLC

V kapitole 3.1.3 již byla popsána komunikační funkce PLC Omron, která zajišťuje správné čtení příchozích hodnot. Cílem této kapitoly je přiblížení funkcí zpracovávajících příchozí hodnotu měřené frekvence tak, aby mohla být správně použita pro řízení rychlosti napařování, tedy pro řízení proudu lodičkou.

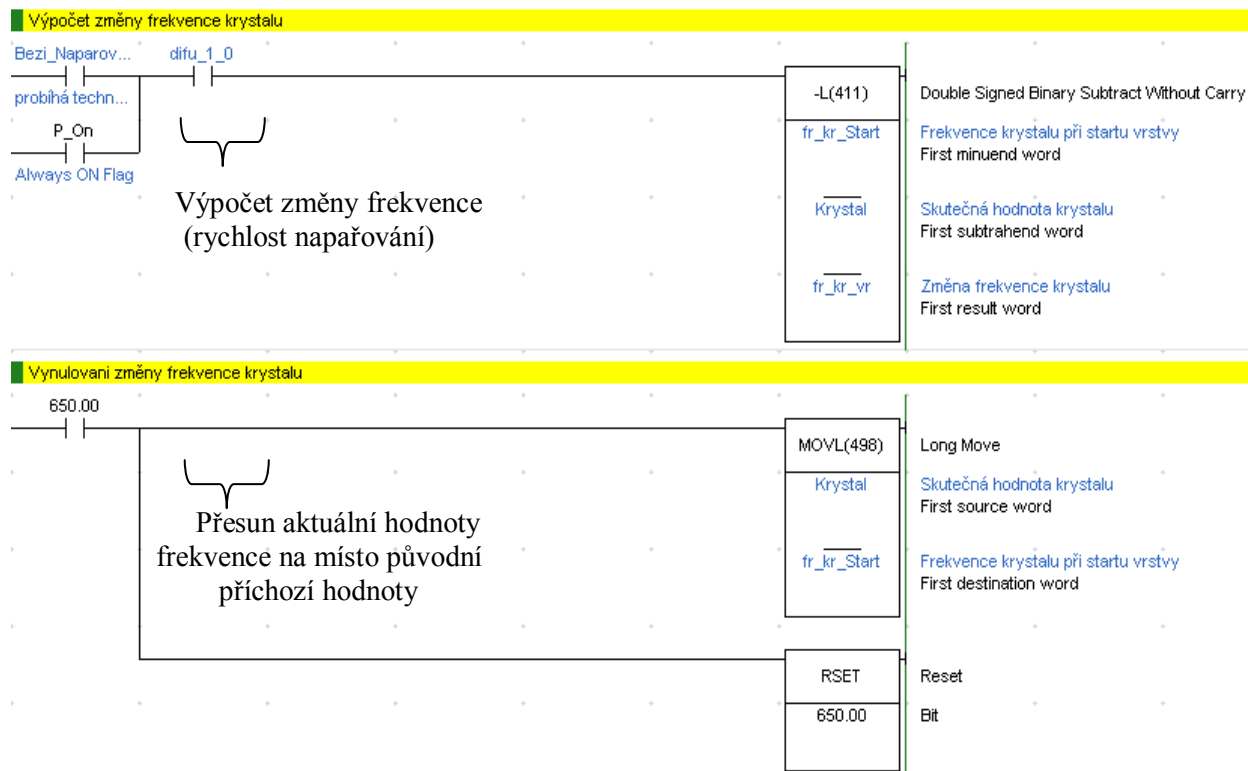
První funkcí je matematické porovnání příchozí hodnoty frekvence s pevně definovanými hodnotami rozmezí, ve kterém se měřená frekvence může pohybovat. Tato funkce eliminuje příjem chybných informací měřené frekvence. Zároveň, pokud je přijímaná informace o frekvenci mimo rozsah i po 5 vteřinách, je aktuální hodnota frekvence krystalu vynulována a je indikována chyba měření (Obr. 50).



Obr. 50: Filtrování chybných informací o měřené frekvenci

Další důležitou funkcí je funkce pro výpočet změny frekvence, dle jejíchž výsledků je řízena rychlost napařování tenkých vrstev. Příchozí hodnota frekvence je uložena do registru a s příchodem dalšího naměřeného vzorku jsou od sebe hodnoty odečteny a

výsledek je uložen. Poté musí být aktuální hodnota frekvence uložena na místo původní příchozí hodnoty a s příjmem nové hodnoty dojde opět k jejich odečtení. Tento proces se během měřicího procesu neustále opakuje. Výsledná hodnota ovlivňuje řízení toku proudu do lodičky s odpařovaným materiálem. (Obr. 51)



Obr. 51: Funkce pro výpočet změny frekvence (rychlost napařování)

Poslední používané funkce procesu měření rychlosti napařování slouží pouze jako pomocné a informativní funkce pro obsluhu. Týkají se ukládání dvou předešlých hodnot naměřených frekvencí a vypočtených rychlostí napařování.

Zobrazené bloky slouží hlavně pro představu programování PLC Omron a základní seznámení s použitými funkcemi. Samotné řízení procesu napařování je velice rozsáhlý komplex řízených bloků, které jsou spolu vzájemně propojeny. Vytvořený program pro PLC Omron je součástí elektronických příloh diplomové práce.

4.3 Zapojení měřicí karty do procesu měření

Pro zapojení měřicí karty do rozvaděče napařovacího stroje musí být karta z důvodu práce v průmyslovém prostředí umístěna do odrušeného pouzdra, které bude i konstrukčně odolné a schopné odolávat nepříznivým vlivům (změny a úpravy v rozvaděči atd.). Umístění pouzdra s kartou CMB je na DIN liště, na které je umístěn i PLC Omron. Pouzdro měřicí karty musí umožňovat přístup k ovládacím a zobrazovacím prvkům karty, aby bylo možné ovládat funkce Reset a kontrolovat správnou funkci výpočtu na sedmissegmentových LED zobrazovačích. Samozřejmě musí být uživatelsky přístupný konektor sériové linky a vstupní konektor měřené frekvence. Paralelní port a dutinkové lišty sloužící k možnému rozšíření funkcí karty, mohou zůstat zakryté, neboť přeprogramování karty či její úpravy, musí být prováděny z důvodu bezpečnosti vně rozvaděče napařovacího stroje.

Demoverze řešení karty CMB vznikla naprogramováním funkcí FPGA na kartu FUB, doplněním tvarovače signálu a propojením těchto částí. Po zapojení a uložení do odrušeného pouzdra mohlo být měřicí zařízení zapojeno do procesu měření. Zapojením a odzkoušením měřicího zařízení bylo zjištěno, že funkce i měření fungují dle zadání. Pouze pro ochranu desky schází protizkratová ochrana napájení měřicího oscilátoru. Tento nedostatek byl odstraněn na navrhnuté nové desce CMB. Během výroby CMB bylo v rozvaděči napařovacího stroje implementováno zařízení s FUB a měření při napařovacích procesech probíhalo stabilně a bez chyb. Testování probíhalo několik týdnů a při měření rychlosti napařování nevznikaly žádné problémy ze strany měřicí karty. Proto lze říci, že měření rychlosti napařování pomocí karty s FPGA je stabilní, spolehlivé a zároveň nabízí rozsáhlou možnost rozšíření funkcí měřicí karty.

4.4 Výsledky měření

Měřený proces nanášení tenkých vrstev se týká nanesení sedmi vrstev dvou různých materiálů. Použité materiály titan a křemík byly nanášeny střídavě za sebou. Po dokončení poslední vrstvy byl na vložených substrátech vytvořen výsledný dekor požadovaných parametrů (barva, tloušťka nanesené vrstvy). Název výsledného dekoru, při němž probíhalo měření, je AB a Swarovski (Obr. 52). Tyto dva dekory se liší tloušťkou jen řádově v nanometrech, ale barva je různá, což hlídají optická měřidla. V kombinaci měření měřicím oscilátorem a optickými měřidly lze tedy velice kvalitně řídit napařování různobarevných dekorů požadované tloušťky.



Obr. 52: Napařený dekor AB na bižuterním kamínku

Při napařovacím procesu jsou uváděny teoretické parametry nanášených materiálů:

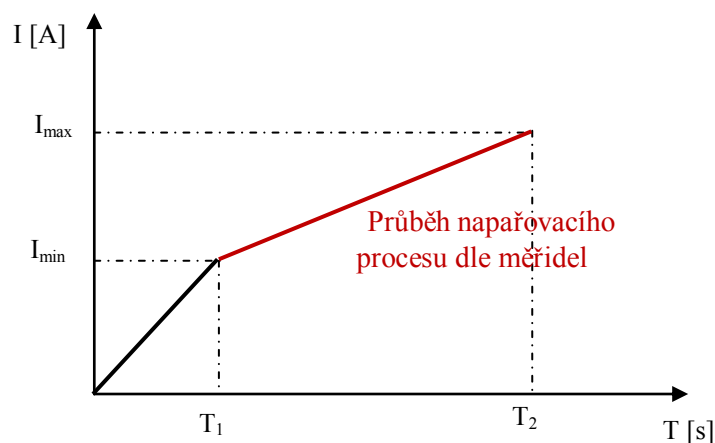
- pokles frekvence na vrstvu pro Titan ~ 1000 Hz,
- pokles frekvence na vrstvu pro křemík ~ 650 Hz,
- proud lodičkou při napařovacím procesu ~ 500 A (Si) $\div 700$ A (Ti).

Frekvenční parametry se mohou pohybovat v rozmezí až ± 15 %, neboť pokles frekvence na vrstvu je závislý na optických měřidlech. Pokud nanesená vrstva dosáhne požadované barvy, PLC zastaví na základě informací z optických měřidel napařování z dané lodičky. Proud lodičkou je řízen pomocí signálu z měřicího oscilátoru. Na začátku procesu narůstá proud lodičkou do doby, než začne materiál uložený v lodičce sublimovat a nanášet se na substrát a měřicí krystal. PLC vyhodnocuje signál o měřené frekvenci a řídí proud lodičkou tak, aby byla dodržena přesná rychlost napařování.

Nastavení mezních hodnot měřeného napařovacího procesu je uvedeno v tabulce (Tab. 6) a napařovací proces probíhá ve zvýrazněné oblasti následujícího grafu (Graf 2).

Tab. 6: Průběh mezních hodnot napařovacího procesu Ti, Si

	proud I_{MIN} [A]	proud I_{MAX} [A]	T_1 [s]	mezní T [s]	pokles frekvence [Hz]	$T_2 - T_1$ [s]
Titan (Ti)	550	950	30	900	8	150
Křemík (Si)	400	950	30	900	5	250



Graf 2: Oblast průběhu napařovacího procesu dle měřidel

Měření frekvenčními měřidly (měřicí oscilátor) využívá měřicí krystaly (viz kapitola 2.2.1), které se po nanesení určité tloušťky vrstvy musí chemicky čistit, případně vyměnit za nové, neboť po několika čištěních krystalická mřížka degraduje a měření se stává nestabilním (výpadky oscilátoru na základě vlastností krystalu atd.). Náměry daného procesu byly provedeny celkem 3x, s použitím nového, již dříve použitého (nečištěného) a čištěného měřicího krystalu tak, jak se to běžně v provozu dělá. Na základě těchto měření byly následně vypočítány nejistoty měření.

- Měření s novým měřicím krystalem (Tab. 7)
- Měření s čištěným měřicím krystalem (Tab. 8)
- Měření s použitým (nečištěným) krystalem (Tab. 9)

Při měření s novým a čištěným měřicím krystalem byl ve vakuové průchodce odpojen přívod osvětlení vakuové komory a místo toho bylo zapojeno do prostoru vakuové komory čidlo teploty Pt 100. Tímto čidlem byla měřena teplota uvnitř vakuové komory při napařovacím procesu. Pro poslední měření muselo již být opět zapojeno osvětlení, ale z předchozích dvou měření je teplotní průběh uvnitř zařízení jasně patrný. Teplota je ve vakuové komoře přenášena částicemi napařovaného materiálu. Vnitřní měřicí prvky, jako oscilátor a krystal, jsou z tohoto důvodu chlazeny vodou, aby nepodléhaly teplotní závislosti, která by ovlivnila výsledky měření (viz str. 72).

Tab. 7: Výsledky měření s novým krystalem

Nový krystal

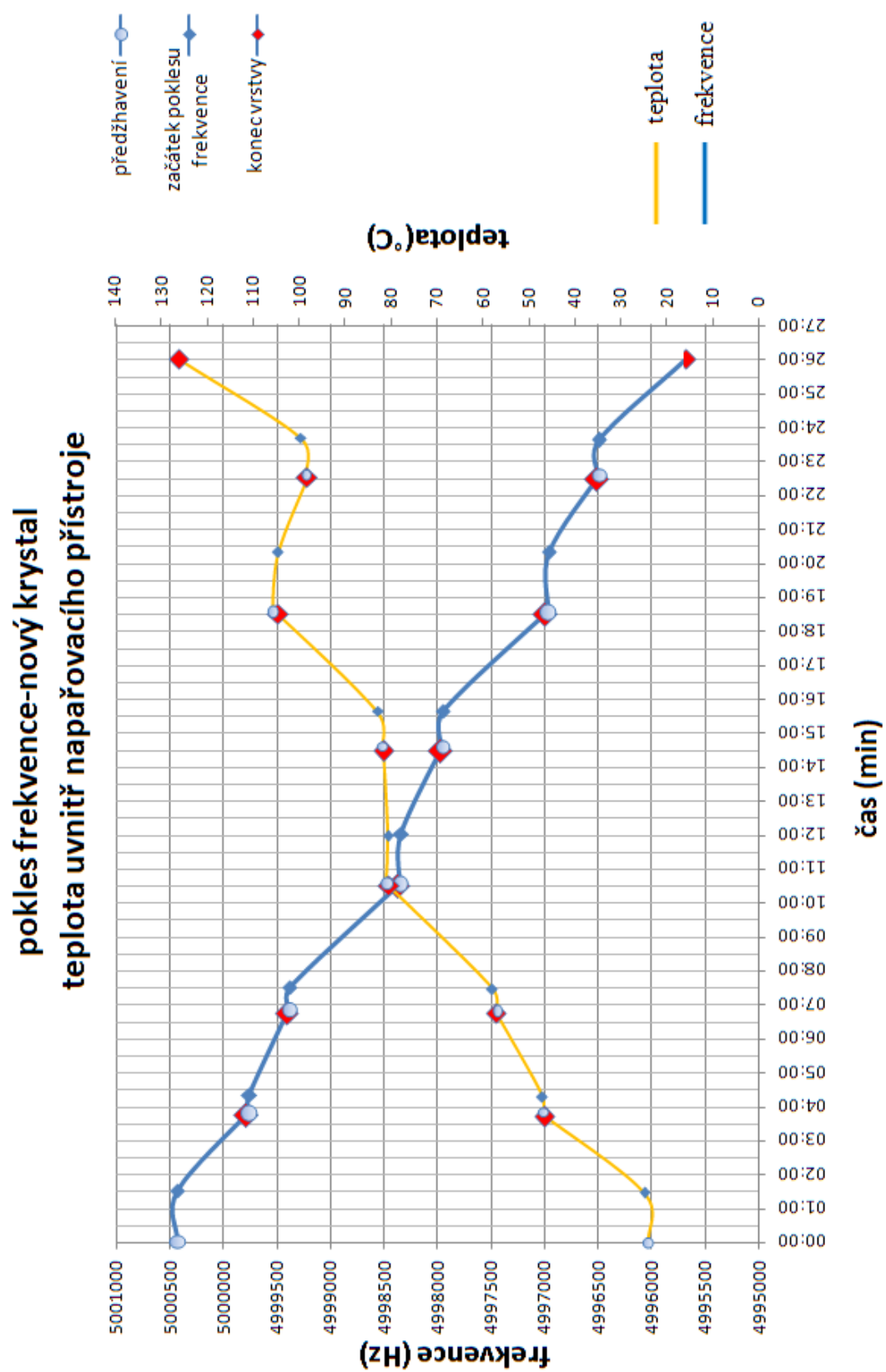
**Ti (8 Hz/sek), (1 Hz/sek)
Si (5Hz/sek)**

		začátek vrstvy	konec vrstvy	nastavený pokles frekvence	začátek poklesu frekvence	předžhavení
1. vrstva Titan	frekvence [Hz]	5000427	4999784			5000427
	čas [min]	01:30	03:45	02:20	01:30	00:00
	teplota [°C]	24,8	46,6	45°C	42,8°C	24°C
2. vrstva Křemík	frekvence [Hz]	4999755	4999400			4999763
	čas [min]	04:20	06:45	05:15	04:20	03:50
	teplota [°C]	47	57	54°C	50°C	47°C
3. vrstva Titan	frekvence [Hz]	4999376	4998367			4999385
	čas [min]	07:30	10:30	08:15	07:30	06:50
	teplota [°C]	57,9	80,4	65,8°C	63°C	57°C
4. vrstva Křemík	frekvence [Hz]	4998340	4997980			4998350
	čas [min]	12:00	14:30	12:55	12:00	10:35
	teplota [°C]	80,6	81,6	79°C	78,6°C	81°C
5. vrstva Titan	frekvence [Hz]	4997947	4996990			4997958
	čas [min]	15:38	18:30	16:30	15:38	14:35
	teplota [°C]	82,8	104,5	89,7°C	85°C	81,8°C
6. vrstva Křemík	frekvence [Hz]	4996961	4996516			4996970
	čas [min]	20:20	22:30	21:15	20:20	18:35
	teplota [°C]	104,5	98,2	99,8°C	104,5°C	105,6°C
7. vrstva Titan	frekvence [Hz]	4996490	4995680			4996500
	čas [min]	23:40	26:00	25:00	23:40	22:35
	teplota [°C]	99,5	126	114°C	99,5°C	98,6°C

**zavzdušnění
komory**

Konečná frekvence	4995220
teplota - pokles	126°C ÷ 41,3°C
čas	31:00

Výsledky měření poklesu frekvence a růstu teploty uvnitř napařovacího zařízení při napařovacím procesu zobrazuje následující graf (Graf 3).



Graf 3: Výsledky měření frekvence a teploty (nový krystal)

Tab. 8: Výsledky měření s čištěným krystalem

Čištěný krystal

Ti(8 Hz/sek), (1 Hz/sek)
Si(5Hz/sek)

		začátek vrstvy	konec vrstvy	nastavený pokles frekvence	začátek poklesu frekvence	předžhavení
1. vrstva Titan	frekvence [Hz]	4984185	4983307			4984182
	čas [min]	01:15	03:15	02:00	01:15	00:00
	teplota [°C]	59	83,8			56
2. vrstva Křemík	frekvence [Hz]	4983273	4982800			4983281
	čas [min]	05:30	07:20	06:18	05:30	03:20
	teplota [°C]	85,5	94,4			85
3. vrstva Titan	frekvence [Hz]	4982780	4981931			4982789
	čas [min]	08:30	10:40	09:15	08:30	07:25
	teplota [°C]	95	112			94,4
4. vrstva Křemík	frekvence [Hz]	4981892	4981417			4981903
	čas [min]	12:30	14:35	13:30	12:30	10:45
	teplota [°C]	107,3	112,4			112
5. vrstva Titan	frekvence [Hz]	4981376	4980381			4981394
	čas [min]	15:50	18:10	16:20	15:50	14:40
	teplota [°C]	113,7	131,4			112,2
6. vrstva Křemík	frekvence [Hz]	4980286	4979824			4980309
	čas [min]	20:00	22:15	21:15	20:00	18:15
	teplota [°C]	120	124,1			127
7. vrstva Titan	frekvence [Hz]	4979780	4978855			4979787
	čas [min]	23:20	25:45	24:15	23:20	22:20
	teplota [°C]	125,9	147,8			123,1

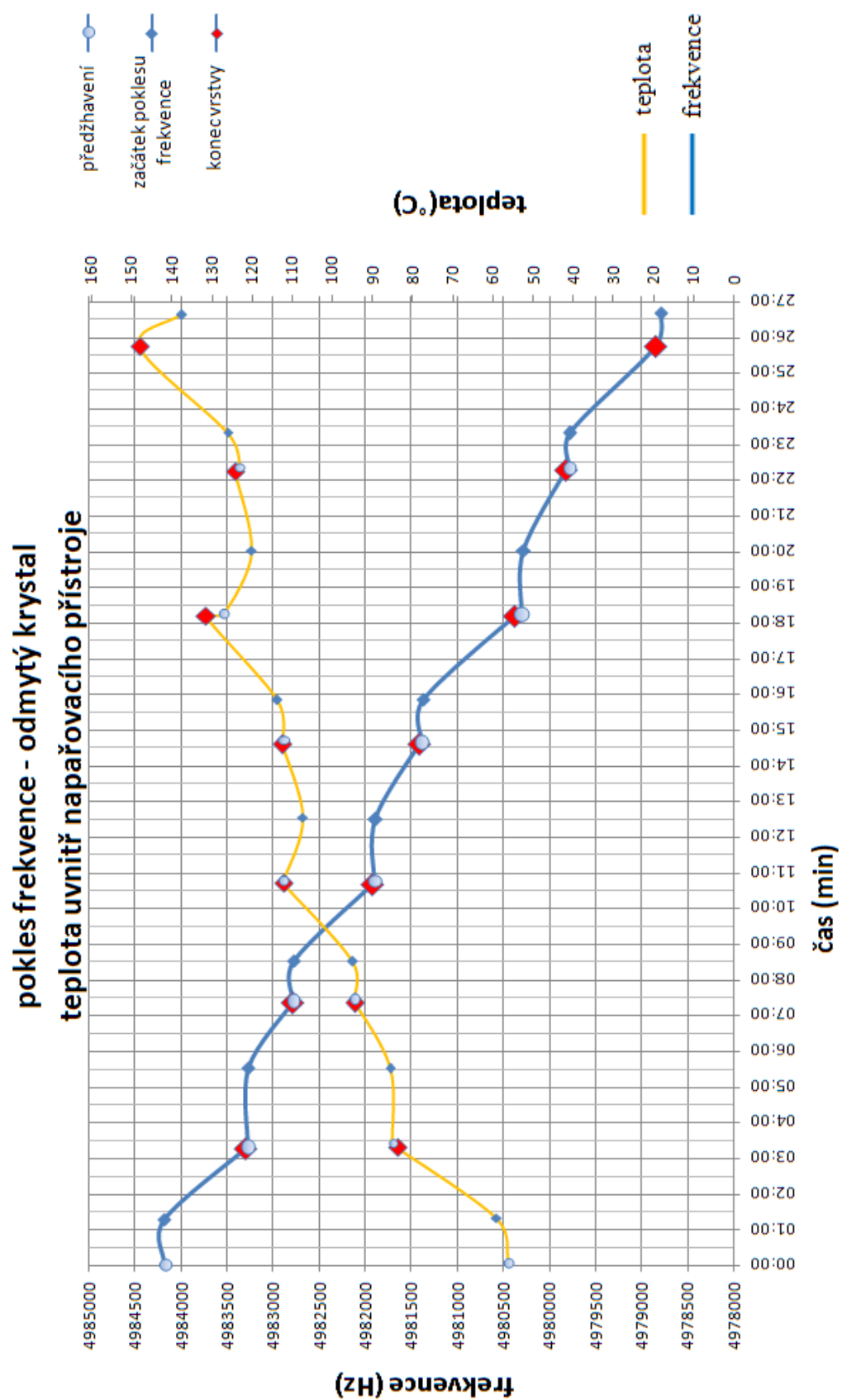
Dojezd	frekvence	4978790
	čas	26:40
	teplota	137,5

zavzdušnění

komory

frekvence	4978785	4978208
teplota - pokles	125	77,4
čas	28:30	31:30
tlak	1,92*10 ⁻²	1,1*10 ⁴

Výsledky měření poklesu frekvence a růstu teploty uvnitř napařovacího zařízení při napařovacím procesu zobrazuje následující graf (Graf 4).



Graf 4: Výsledky měření frekvence a teploty (čištění krystal)

Tab. 9: Výsledky měření s použitým (nečištěným) krystalem

Použitý (nečištěný) krystal

**Ti(8 Hz/sek), (1 Hz/sek)
Si(5Hz/sek)**

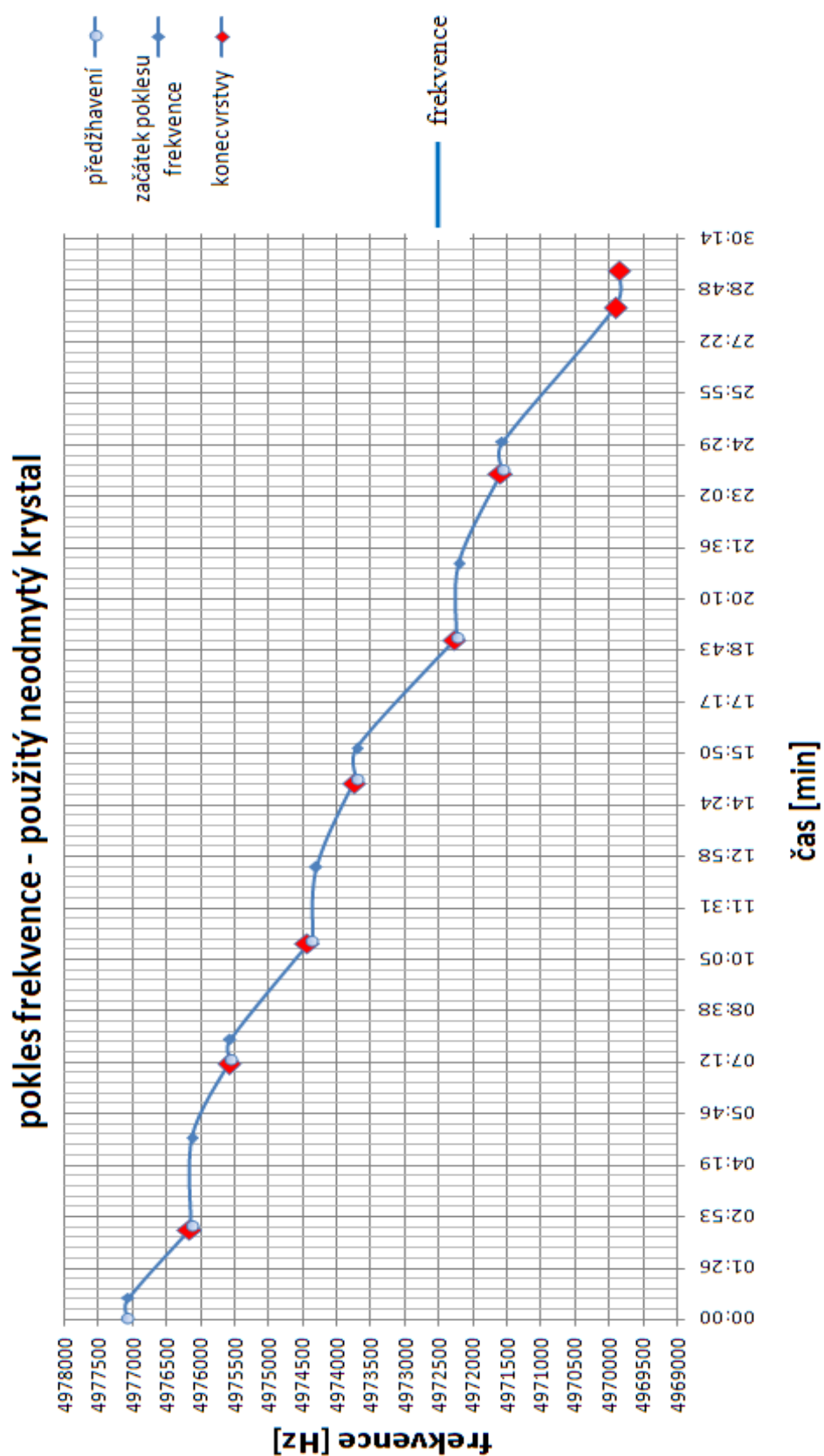
		začátek vrstvy	konec vrstvy	nastavený pokles frekvence	začátek poklesu frekvence	předžhavení
1. vrstva Titan	<i>frekvence [Hz]</i>	4977072	4976166			4977090
	<i>čas [min]</i>	00:35	02:30	00:40	00:35	00:00
2. vrstva Křemík	<i>frekvence [Hz]</i>	4976125	4975589			4976142
	<i>čas [min]</i>	05:05	07:10	05:50	05:05	02:35
3. vrstva Titan	<i>frekvence [Hz]</i>	4975572	4974432			4975572
	<i>čas [min]</i>	07:50	10:30	08:25	07:50	07:15
4. vrstva Křemík	<i>frekvence [Hz]</i>	4974312	4973751			4974370
	<i>čas [min]</i>	12:40	15:00	13:25	12:40	10:35
5. vrstva Titan	<i>frekvence [Hz]</i>	4973700	4972285			4973700
	<i>čas [min]</i>	16:00	19:00	16:20	16:00	15:05
6. vrstva Křemík	<i>frekvence [Hz]</i>	4972205	4971595			4972240
	<i>čas [min]</i>	21:10	23:40	22:06	21:10	19:05
7. vrstva Titan	<i>frekvence [Hz]</i>	4971568	4969914			4971568
	<i>čas [min]</i>	24:33	28:20	25:29	24:33	23:45

Dojezd	frekvence	4969850
	čas[min]	29:20

zavzdušnění

komory	<i>frekvence</i>	4969850	4969000
	<i>čas</i>	29:20	30:50
	<i>tlak</i>	$1,92 \cdot 10^{-2}$	$1,1 \cdot 10^4$

Výsledky měření poklesu frekvence uvnitř napařovacího zařízení při napařovacím procesu zobrazuje následující graf (Graf 5). Měření teploty bylo při posledním náměru odpojeno z důvodu zapojení osvětlení uvnitř napařovacího zařízení.



Graf 5: Výsledky měření frekvence (použitý nečištěný krystal)

Výpočet nejistot měření je uveden z důvodu jistých nepřesností při odečítání měřených hodnot, použití měřidel s danou tolerancí, teplotních závislostí součástek atd.

Je nutné říci, že měřicí karta měří příchozí frekvenci z měřicího krystalu na základě načítání hodnot měřené frekvence uvnitř FPGA dle kmitů referenčního oscilátoru, který má přesnost ± 100 ppm (viz str. 52). Dle frekvence referenčního oscilátoru 32 MHz tato přesnost odpovídá hodnotě ± 3200 Hz. Pokud by se uvažoval tento nejhorší případ chyby, odpovídala by tato hodnota při načítání měřené frekvence 5 MHz přibližně hodnotě chyby $\pm 0,01$ %, neboť načtení hodnoty čítače měřené frekvence by neproběhlo v 1 sekundě, ale v čase $\frac{32000000}{32000000 \pm 3200} = 1 \pm 0,00010001$ s. Tedy pokud za 1 sekundu načítá čítač 5 000 000 pulzů, za 1,00010001 sekund načítá 5 000 500 pulzů a za 0,99990001 sekund načítá 4 999 500 pulzů. Přesnost referenčního oscilátoru je navíc závislá na teplotě. Vzhledem k umístění měřicí karty do prostředí s téměř konstantní teplotou lze předpokládat konstantní hodnotu přesnosti. Proto je i měřená hodnota zatížena konstantní chybou a pro výsledný měřený pokles frekvence (rozdíl sousedních hodnot), nutný pro řízení rychlosti napařování, lze tuto chybu zanedbat.

Ovšem výpočet nejistot měření se týká měření celého napařovacího procesu, závislého na optických měřidlech, rychlosti napařování, napařovaném materiálu, teplotě uvnitř napařovací komory, použitém měřicím krystalu atd. Parametrů ovlivňujících nejistoty měření je v takovémto rozsáhlém komplexu technických a elektronických prvků celá řada. Při výpočtech budou zvažovány pouze některé ovlivňující parametry známých tolerancí.

Výpočet nejistoty bude vycházet ze vztahu pro rozšířenou nejistotu měření, který specifikuje interval, ve kterém se nachází skutečná hodnota naměřené frekvence měřicího oscilátoru s požadovanou pravděpodobností, závislou na zvoleném koeficientu rozšíření: [15]

$$U_r = k_r \cdot u_c \quad [\text{Hz}] \quad (16)$$

kde

k_r koeficient rozšíření [-],

u_c standardní kombinovaná nejistota [Hz]

$$u_c = \sqrt{u_A^2 + u_B^2} \quad (17)$$

kde

u_A standardní nejistota typu A měřené frekvence [Hz]

u_B standardní nejistota typu B měřené frekvence [Hz]

Aby bylo možné určit standardní kombinovanou nejistotu, je třeba nejdříve určit standardní nejistoty typu A a standardní nejistoty typu B. Nejistota typu A vychází ze statistické analýzy opakovaně provedených měření za stejných podmínek. V tomto případě se jedná o měření poklesu frekvence při napařování titanu a při napařování křemíku (každý materiál zatížen nejistotou). Každý proces napařování vrstev je specifický, kdy je ovlivněn rychlostí napaření, rychlostí ohřevu lodičky, vyhodnocením konce vrstvy optickými měřidly atd. Pro výpočet nejistot byly provedeny celkem 3 procesy měření, přičemž každý proces obsahoval napaření 4 vrstev titanu a 3 vrstev křemíku. Z časových důvodů v závodě Turnov nemohlo být provedeno více náměrů, neboť jeden proces napařování trvá s přípravami až 40 minut.

Standardní nejistota typu A je pro dostatečný počet měření ($n > 10$) rovna směrodatné odchylce aritmetického průměru:

$$u_A = \sqrt{\frac{1}{n(n-1)} \sum_{i=1}^n (n_i - \bar{n})^2} \quad (18)$$

kde \bar{n} je střední hodnota z dvanácti naměřených hodnot poklesu frekvence titanu a devíti naměřených hodnot poklesu frekvence křemíku.

$$\bar{n} = \frac{1}{n} \sum_{i=1}^n n_i \quad (19)$$

kde

n pořadové číslo měření poklesu frekvence, $n \in \{1, 2, \dots, 12\}$ Ti, $\{1, 2, \dots, 9\}$ Si

n_i hodnota naměřené frekvence v daném pořadí

Pro určení standardní nejistoty typu B je zapotřebí nejdříve vyjádřit několik proměnných, které se odhadují na základě dostupných informací (údaje výrobce měřicí techniky, zkušenosti z předchozího měření, nejistoty z příruček atd). Při určování se tedy vychází z dílčích nejistot jednotlivých zdrojů:

- $u_{B1} = \frac{\Delta z_1}{\theta_1}$: Nejistota způsobená chybou odečtení hodnoty frekvence v daném čase. Vyjadřuje především chybu obsluhy přístroje při odečítání hodnot. Jako součinitel rozdělení bylo voleno normální rozdělení $\Theta_1 = 2$. Jedná se o náhodné chyby, které se v průběhu měření mění.
- $u_{B2} = \frac{\Delta z_2}{\theta_2}$: Nejistota vzniklá rozlišitelností poslední platné číslice. Vznik odchylek vlivem této nejistoty je stejně pravděpodobný v celém rozsahu měření, proto je i zde volen koeficient rozšíření pro rovnoměrné rozdělení $\Theta_2 = 1,73$.
- $u_{B3} = \frac{\Delta z_3}{\theta_3}$: Nejistota vzniklá nepřesností optických měřidel. Optická měřidla mají nastavenou přesnost měření +5%, kdy při napaření vrstvy dané barvy jsou načteny hodnoty optických měřidel a PLC vypíná napařovací proces až po 5% přesáhnutí těchto hodnot. Jedná se také o rovnoměrné rozdělení $\Theta_2 = 1,73$.
- $u_{B4} = \frac{\Delta z_4}{\theta_4}$: Nejistota vzniklá chybou výpočtu FPGA. Závisí na přesnosti použitého referenčního oscilátoru (str. 52). Volen koeficient rozšíření pro rovnoměrné rozdělení (v celém rozsahu měření stejná) $\Theta_2 = 1,73$.
- $u_{B5} = \frac{\Delta z_5}{\theta_5}$: Nejistota vzniklá teplotní stabilitou použitého krystalu. Odchytky vzniklé vlivem této nejistoty jsou v závislosti na chlazení pouzdra krystalu vodou přibližně stejné v celém rozsahu měření, proto je i zde volen koeficient rozšíření pro rovnoměrné rozdělení $\Theta_2 = 1,73$.

Hodnota nejistoty typu B je tedy vyjádřena vztahem:

$$u_B = \sqrt{u_{B1}^2 + u_{B2}^2 + u_{B3}^2 + u_{B4}^2 + u_{B5}^2} = \sqrt{\left(\frac{\Delta z_1}{\theta_1}\right)^2 + \left(\frac{\Delta z_2}{\theta_2}\right)^2 + \left(\frac{\Delta z_3}{\theta_3}\right)^2 + \left(\frac{\Delta z_4}{\theta_4}\right)^2 + \left(\frac{\Delta z_5}{\theta_5}\right)^2} \quad (20)$$

Nejistoty měření jsou počítány pro měření vrstev křemíku a titanu zvlášť. Pro obě vrstvy platí stejné vztahy a podmínky měření, pouze křemík je počítám pouze z 9 naměřených hodnot, oproti 12 hodnotám titanu. Tabulka () zobrazuje naměřené poklesy a potřebné informace k vypočítání nejistot.

Tab. 10: Naměřené poklesy frekvence při napařování vrstev Si a Ti

	1. měření nový krystal	2. měření čištěný krystal	3. měření použitý krystal
pokles frekvence na vrstvu-Ti (8 Hz)	643 Hz (1:25 min)	878 Hz (1:15 min)	906 Hz (1:50 min)
pokles frekvence na vrstvu-Si (5Hz)	355 Hz (1:30 min)	473 Hz (1:02 min)	536 Hz (1:20 min)
pokles frekvence na vrstvu-Ti (8 Hz)	1009 Hz (2:15 min)	849 Hz (1:25 min)	1140 Hz (2:05 min)
pokles frekvence na vrstvu-Si (5Hz)	360 Hz (1:35 min)	475 Hz (1:06 min)	561 Hz (1:35 min)
pokles frekvence na vrstvu-Ti (8 Hz)	957 Hz (2:00 min)	995 Hz (1:50 min)	1415 Hz (2:40 min)
pokles frekvence na vrstvu-Si (5Hz)	445 Hz (1:15 min)	462 Hz (1:00 min)	610 Hz (1:34 min)
pokles frekvence na vrstvu-Ti (8 Hz)	810 Hz (1:00 min)	925 Hz (1:30 min)	1654 Hz (2:51 min)

celková doba procesu	26:00 min	25:45 min	28:20 min
-----------------------------	-----------	-----------	-----------

	počet měření
křemík (Si)	n = 12
titan (Ti)	n = 9

Hodnoty pro výpočet nejistoty typu B jsou následující:

- chyba odečítání hodnot z měřicích přístrojů: ± 10 Hz
- rozlišitelnost poslední platné číslice měřicí karty: ± 1 Hz
- nepřesnost optických měřidel: $+5\%$ (odpovídá ~ 50 Hz)
- chyba výpočtu FPGA: $\pm 0,01\%$ (odpovídá $\pm 0,1$ Hz)
- vliv teplotní stability krystalu: $\pm 5 \cdot 10^{-6}$ (odpovídá ± 5 Hz)

Výpočet nejistot měření napařené titanové vrstvy je následující:

VÝPOČET NEJISTOT:	Ti
aritmetický průměr naměřených hodnot: \bar{n} [Hz]	1015,08
nejistota typu A: $u_A = \sqrt{\frac{1}{n \cdot (n-1)} \sum_{i=1}^n (n_i - \bar{n})^2}$ [Hz]	79,51
nejistota typu B: $u_B = \sqrt{u_{B1}^2 + u_{B2}^2 + u_{B3}^2 + u_{B4}^2 + u_{B5}^2}$ [Hz]	29,87
kombinovaná standardní nejistota: $u_c = \sqrt{u_A^2 + u_B^2}$ [Hz]	84,93
rozšířená standardní nejistota: $U_r = k_r \cdot u_c$ ($k_r = 2$) [Hz]	169,87

Výsledek měření vyjádřený s kombinovanou nejistotou u_c definuje skutečnou hodnotu s pravděpodobností přibližně 60 %. Proto se volí vyjádření s rozšířenou

nejistotou dle vztahu (16) na straně 84. Pro případ normálního rozdělení výsledků s pravděpodobností 95 %, je používán koeficient rozšíření $k_r = 2$. [7]

Výpočet nejistot měření napařované vrstvy křemíku je následující:

VÝPOČET NEJISTOT:	Ti
aritmetický průměr naměřených hodnot: \bar{n} [Hz]	475,22
nejistota typu A: $u_A = \sqrt{\frac{1}{n(n-1)} \sum_{i=1}^n (n_i - \bar{n})^2}$ [Hz]	28,39
nejistota typu B: $u_B = \sqrt{u_{B1}^2 + u_{B2}^2 + u_{B3}^2 + u_{B4}^2 + u_{B5}^2}$ [Hz]	29,87
kombinovaná standardní nejistota: $u_c = \sqrt{u_A^2 + u_B^2}$ [Hz]	41,21
rozšířená standardní nejistota: $U_r = k_r \cdot u_c$ ($k_r = 2$) [Hz]	82,42

5 Porovnání výsledků měření CMB s kalibrovaným měřidlem

Pro jistotu správného měření přichází frekvence z měřicího oscilátoru do měřicí karty CMB byly výsledky naměřených hodnot odeslané do PLC Omron porovnány s kalibrovaným čítačem připojeným přímo na výstup měřicího oscilátoru.

5.1 Popis kalibrovaného měřidla

Jedná se o dvoukanálový čítač Hewlett Packard typu 53131A s frekvenčním rozsahem od 0 do 225 MHz. (Obr. 53) Dále nabízí rozšíření třetího kanálu s frekvencí až 12,4 GHz. Tímto zařízením je možné měřit frekvenci, periodu, dobu náběžné/sestupné hrany, šířku pulzu, činitel plnění, časový interval, poměr frekvencí, špičkovou hodnotu napětí a mnohé další funkce. Výhodou je 10místný displej, který zobrazuje měřené hodnoty s rozlišením 10 digitů. Další podrobnější informace o přístroji uvádějí napěťový rozsah a citlivost vstupního signálu, nastavitelnou úroveň spouštění, impedanci výstupů, provozní teplotu atd. Některé z parametrů jsou níže uvedeny, zbylé parametry je možné získat v manuálu k danému přístroji. [25]

- Napěťový rozsah a citlivost vstupního signálu:

DC do 100 MHz: $20 \text{ mV}_{\text{rms}}$ pro $\pm 5 \text{ V}$,

od 100 MHz do 200 MHz: $30 \text{ mV}_{\text{rms}}$ pro $\pm 5 \text{ V}$,

od 200 MHz do 225 MHz: $40 \text{ mV}_{\text{rms}}$ pro $\pm 5 \text{ V}$.

- Nastavitelná úroveň spouštění:

rozsah $\pm 5,125 \text{ V}$,

přesnost $\pm (15 \text{ mV} + 1\% \text{ ze spouštěcí úrovně})$,

rozlišení 5 mV .

- Impedance výstupů: 50Ω nebo $1 \text{ M}\Omega$.
- Provozní teplota: 0°C až 55°C .
- Hmotnost přístroje: $3,5 \text{ kg}$. [25]



Obr. 53: Univerzální čítač Hewlett Packard 53131A [25]

5.2 Porovnání výsledků měřicí karty s kalibrovaným měřidlem

Při měření byla porovnávána výstupní frekvence měřicího oscilátoru, kterou sledoval kalibrovaný čítač, a informace o naměřené frekvenci měřicí kartou CMB vysílaná do PLC Omron. Úroveň spouštění čítače byla nastavena na 1 V . Výsledky naměřené frekvence udává tabulka (Tab. 11).

Tab. 11: Výsledky naměřených frekvencí CMB a kalibrovaným čítačem

	naměřená frekvence	začátek napařování	pokles 1 Hz	nastavený pokles	konec napařování
1. vrstva Ti	měřicí karta CMB [Hz]	4996675	4996672	4996415	4995720
	kalibrovaný čítač [Hz]	4996669,870	4996667,632	4996405,250	4995715,915
	rozdíl frekvencí [Hz]	5,130	4,368	9,750	4,085
2. vrstva Si	měřicí karta CMB [Hz]	4995658	4995651	4995652	4995139
	kalibrovaný čítač [Hz]	4995649,915	4995654,032	4995644,025	4995136,071
	rozdíl frekvencí [Hz]	8,085	-3,032	7,975	2,929
3. vrstva Ti	měřicí karta CMB [Hz]	4995126	4995119	4994623	4993938
	kalibrovaný čítač [Hz]	4995121,233	4995114,258	4994619,315	4993931,974
	rozdíl frekvencí [Hz]	4,767	4,742	3,685	6,026
4. vrstva Si	měřicí karta CMB [Hz]	4993902	4993880	4993754	4993318
	kalibrovaný čítač [Hz]	4993897,245	4993874,817	4993749,825	4993313,267
	rozdíl frekvencí [Hz]	4,755	5,183	4,175	4,733

Rozlišení měřicí karty CMB je v řádu jednotek Hz, kdežto rozlišení kalibrovaného čítače v řádu 10^{-3} Hz. V čase odečítání hodnot měřicí karty CMB bylo vždy stopnuto měření čítače, aby byl přesně specifikován čas odečítání obou zařízení a minimalizovala se chyba odečítání výsledků měření. Střední hodnota rozdílu frekvencí měřicí karty a čítače má hodnotu:

$$\bar{n} = \frac{1}{n} \sum_{i=1}^n n_i = \frac{1}{16} \sum_{i=1}^n n_i = 4,83475 \text{ Hz} \doteq 4,83 \text{ Hz} \quad (21)$$

kde

n pořadové číslo měření rozdílu frekvence, $n \in \{1, 2, \dots, 16\}$

n_i hodnota naměřeného rozdílu frekvencí v daném pořadí

Výsledná chyba měření měřicí karty je způsobena nepřesností výpočtu FPGA řízeného referenčním krystalovým oscilátorem. Ovšem vzhledem k měřeným frekvencím dosahujícím hodnoty okolo 5 MHz je střední hodnota 4,83 Hz zanedbatelná. Porovnání naměřených výsledků kalibrovaného měřidla a navrhnuté měřicí karty dokazuje výslednou přesnost měření a vhodné použití navrhnuté karty pro dané účely měření.

Závěr

Cílem diplomové práce byla tvorba měřicí karty, která zpracovává signál z měřicího oscilátoru a vypočítává jeho aktuální frekvenci. Informaci o frekvenci poté vysílá v pravidelných intervalech do PLC Omron, ve kterém jsou vytvořeny funkce pro příjem a zpracování signálu, aby mohl být řízen napařovací proces.

V první části práce byl vytvořen kompletní schematický návrh a vytvořena DPS. Požadavky na technické řešení měřicí karty spočívaly v možnosti reprogramovatelnosti karty, schopnosti zpracování vstupního analogového signálu a jeho převod na signál digitální, odolnosti proti zkratu na měřicích svorkách a schopnosti odolávat rušení od okolních zařízení.

Dále byla pozornost soustředěna na programové vybavení měřicí karty. Výsledné funkce vytvořené v jazyce VHDL musely splňovat parametry určené pro výpočet frekvence a komunikaci s nadřazeným systémem PLC. V PLC musely být vytvořeny komunikační a matematické funkce pro úpravu přijímaného signálu tak, aby bylo možné výsledně upraveným signálem řídit napařovací procesy.

Výsledný funkční vzorek měřicí karty, vytvořený dle zadaných parametrů, byl po osazení DPS odzkoušen a úspěšně naprogramován. Jednotlivé funkce karty byly odzkoušeny navrženými zkušebními programy a při testování se nevyskytly žádné problémy. Proudová pojistka byla nastavena na hodnotu 600 mA. Pokud se proudový odběr vlivem poruchy zvýší nad tuto mez, zařízení odpojí zdroj napájení karty a povolí opětovné připojení po odstranění chyby. Návrh programového vybavení měřicí karty byl nejprve úspěšně vytvořen v programu Quartus a odzkoušen na desce FUB, která byla implementována jako dočasná měřicí karta přímo v provozu napařovacích zařízení. Byly provedeny testy funkčnosti programového vybavení a výsledky měření i komunikace odpovídaly zadaným požadavkům. Pro naprogramování navržené měřicí karty bylo zapotřebí využít program pro FPGA Lattice. Zvoleným programem Diamond 1.2 bylo programové vybavení po syntéze úspěšně nahráno do paměti FPGA měřicí karty a následný test měřicího procesu proběhl bez problémů. Funkce řídicího systému PLC Omron byly po nastudování úspěšně zprovozněny. Problém byl s funkcí komunikace přijímaných hodnot, kdy se PLC odmítalo spojit po sériové lince s měřicí kartou, přestože zkoušky komunikace měřicí karty s PC probíhaly bez problému.

Nakonec byl tento problém, po konzultaci s techniky zastoupení firmy Omron v ČR, vyřešen a komunikace i následné matematické úpravy proběhly dle požadavků.

V současné době je navrhnutá měřicí karta zapojena v rozvaděči napájecího stroje v Preciose a.s. závod 4 Turnov a probíhá na ní dlouhodobé testování stability. Měření je dle dostupných informací techniků stabilní a probíhá bez jakýchkoliv problémů.

Požadavky kladené na měřicí kartu byly splněny a odzkoušeny, včetně doporučených poznatků a vylepšení, které jsou vypracovány nad rámec zadání.

Použitá literatura

- [1] Černík M.: Tepelné ztráty a chlazení, Výkonová elektronika, FM Technická univerzita v Liberci, Liberec, přednášky 2010
- [2] Eckertová L.: Populární přednášky o fyzice 21., Fyzika tenkých vrstev, 1. vyd., Praha, 1973
- [3] Kolář M.: Popis systémů pomocí VHDL, Návrh hardwarových komponent, FM Technická univerzita v Liberci, Liberec, přednášky 2009
- [4] Pinker J., Poupa M.: Číslicové systémy a jazyk VHDL, BEN – technická literatura, 1. vyd. , Praha, 2006
- [5] Plíva Z.: Eagle prakticky, BEN – technická literatura, Praha, 2007
- [6] Vachala V., Křišťan L.: Oscilátory a generátory, SNTL – Nakladatelství technické literatury, Praha, 1974
- [7] Zelinka O.: Měření rozměrů a pozic objektů s využitím CCD snímače, Technická univerzita v Liberci, Disertační práce (PhD.), Liberec, 2009
- [8] Adámek M.: Mikrosenzory a mikromechanické systémy, FEKT VUT Brno. [cit. 15.2.2011]. Dostupné z:
<<http://147.229.68.118/~adamek/uceb/Menufram.htm> >
- [9] Ekrt O.: Technologie a vlastnosti tenkých vrstev, tenkovrstvé senzory, FCHI VŠCHT v Praze. [cit. 22.4.2011]. Dostupné z:
<http://fchi.vscht.cz/uploads/pedagogika/nano/predmety/senzory/05_Technologie_cvd_%20pvd_pecvd_movpe_mbe.pdf>
- [10] Hegerová L.: Studium tloušťky tenkých vrstev organických materiálů, FCH VUT Brno, Diplomová práce, 2008. [cit. 18.3.2011]. Dostupné z:
<http://www.vutbr.cz/www_base/zav_prace_soubor_verejne.php?file_id=4865>
- [11] Kochaniček L.: Co je to PLC, AUT, články 2010. [cit. 25.4.2011]. Dostupné z:
<<http://coptel.coptkm.cz/index.php?action=2&doc=2051&docGroup=179&cmd=0&instance=1>>

- [12] Kolář M., Zelinka O.: Napájení programovatelných hradlových polí, Elektrevue, 2010. [cit. 25.4.2011]. Dostupné z:
<<http://www.elektrevue.cz/cz/clanky/analogova-technika--vzajemny-a-d-prevod/0/napajeni-programovatelných-hradlových-polí>>
- [13] Libra M.: Naprašování tenkých vrstev, ITO – tenké vrstvy pro elektrotechniku, Elektro, číslo 07, 2003. [cit. 16.2.2011]. Dostupné z:
<http://www.odbornecasopisy.cz/index.php?id_document=25484>
- [14] Libra M.: Tenké vrstvy, CZU Praha, Technická fakulta. [cit. 16.2.2011]. Dostupné z: < <http://tf.czu.cz/~libra/thin.htm>>
- [15] Palenčár R., Vdoleček F., Halaj M.: Nejistoty v měření II: nejistoty přímých měření, Automa 10, 2001. [cit. 23.4.2011]. Dostupné z:
< http://www.odbornecasopisy.cz/index.php?id_document=33705>
- [16] Pech J.: Programovatelné logické obvody. [cit. 23.3.2011]. Dostupné z:
< <http://fpga.sweb.cz/>>
- [17] Schön M.: Studium morfologie tenkých vrstev organických molekulárních látek, FCH VUT Brno. [cit. 16.2.2011]. Dostupné z:
<http://www.vutbr.cz/www_base/zav_prace_soubor_verejne.php?file_id=15056>
- [18] Studijní materiály, Fyzikální metody nanášení tenkých vrstev, VSCHT FCHI Mikro a nanotechnologie v chemickém inženýrství, Praha. [cit. 17.2.2011]. Dostupné z:
<http://fchi.vscht.cz/uploads/pedagogika/nano/predmety/senzory/03_Fyzikalni_%20metody_nanaseni_tenkych_vrstev.pdf>
- [19] Šandera J.: Vacuum Technology, FEEC VUT Brno. [cit. 18.2.2011]. Dostupné z:
<<http://www.umel.feec.vutbr.cz/~sandera/BEPT/10techprocb.pdf>>
- [20] Šťastný J.: Programovatelná hradlová pole, Katedra teorie obvodů ČVUT v Praze. [cit. 1.5.2011]. Dostupné z:
<http://amber.feld.cvut.cz/fpga/publications/automatizace_FPGA_uvod.pdf>
- [21] Vondra Z.: Základy programování PLC, SPŠE, Praha2, 2006. [cit. 2.5.2011]. Dostupné z: <http://web.spsejecna.cz/projekt/PLC_zakl.pdf>

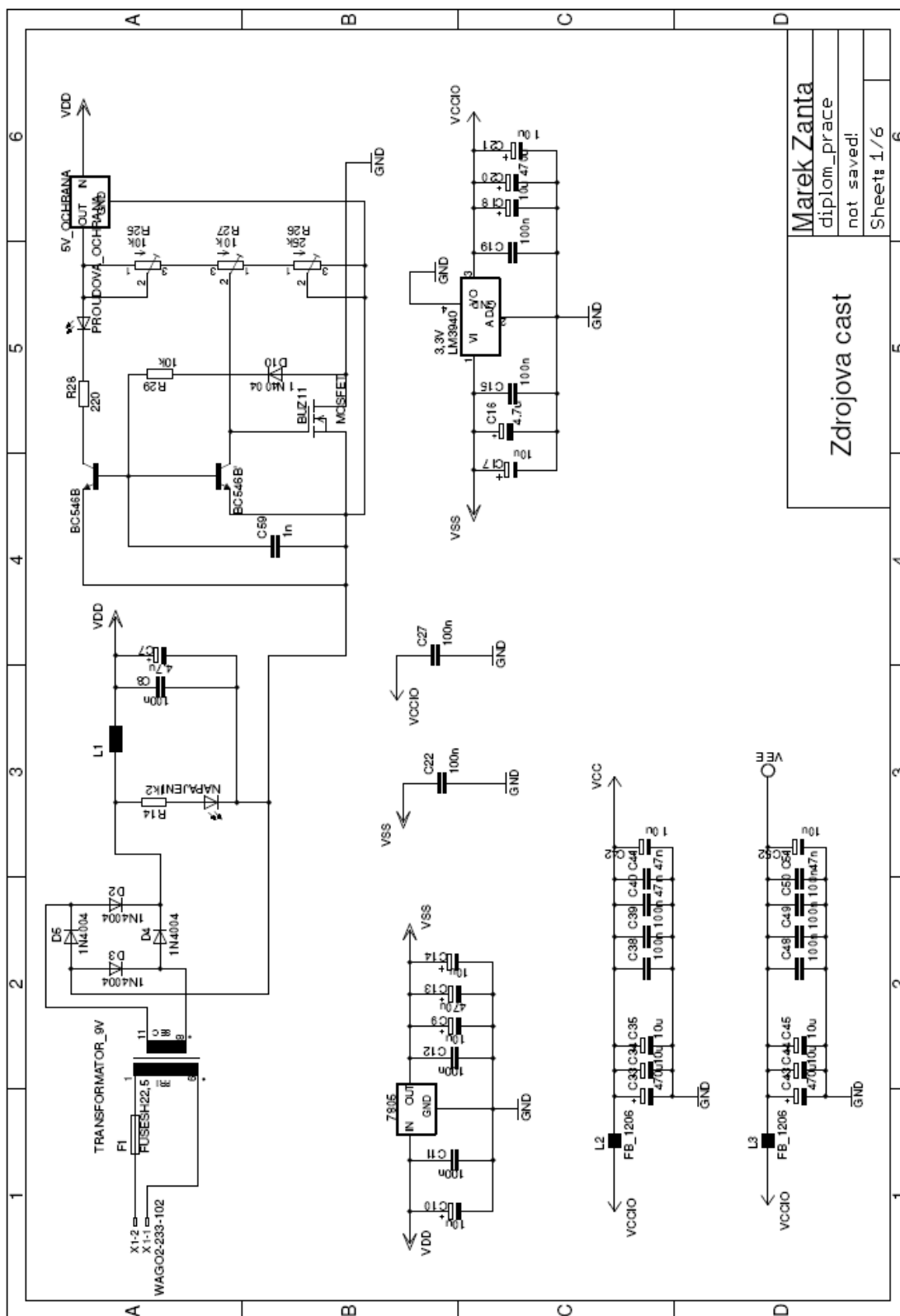
- [22] Wikipedia, Absorpce světla. [cit 17.2.2011]. Dostupné z:
<http://cs.wikipedia.org/wiki/Absorpce_sv%C4%9Btla>
- [23] Lattice, Mach XO Family Data Sheet. [cit. 28.3.2011]. Dostupné z:
<<http://www.latticesemi.com/lit/docs/datasheets/cpld/machxo.pdf>>
- [24] Lattice, MachXO JTAG Programming and Configuration User's Guide.
[cit. 28.3.2011]. Dostupné z:
<<http://www.latticesemi.com/lit/docs/technotes/tn1086.pdf?jsessionid=f0302f358632c4aef8b3291662d387f7f363>>
- [25] Hewlett Packard, HP 53131A 225 MHz Universal Counter. [cit. 10.5.2011].
Dostupné z:
<<http://www.eie.fceia.unr.edu.ar/ftp/Mediciones%20II/53131-90055.pdf>>
- [26] Omron, Programmable Controllers, Reference Manual, srpen 2008, kód revize:
Cat. No. W340-E1-16
- [27] Omron, Serial Communications Board and Serial Communications Units.
[cit. 12.3.2011]. Dostupné z:
<<http://www.fa.omron.com.cn/doc/ques/oa200705290918494370.pdf>>
- [28] Omron, Sysmac CJ-series CJ1M CPU Units. [cit. 25.4.2011]. Dostupné z:
<http://www.ia.omron.com/data_pdf/data_sheet/cj1m-cpu-etn_ds_csm1794.pdf>
- [29] ST microelektronics, Positive voltage regulators. [cit. 25.4.2011]. Dostupné z:
<http://www.gme.cz/_dokumentace/dokumenty/330/330-149/dsh.330-149.1.pdf>
- [30] Texas Instruments, Octal bus transceiver and 3.3-V TO 5-V shifter.
[cit. 30.4.2011]. Dostupné z:
<http://www.gme.cz/_dokumentace/dokumenty/973/973-009/dsh.973-009.1.pdf>
- [31] Analog Devices, Ultrafast 7 ns Single Supply Comparator. [cit. 24.4.2011].
Dostupné z: < <http://www.farnell.com/datasheets/23167.pdf> >

Vlastní publikace

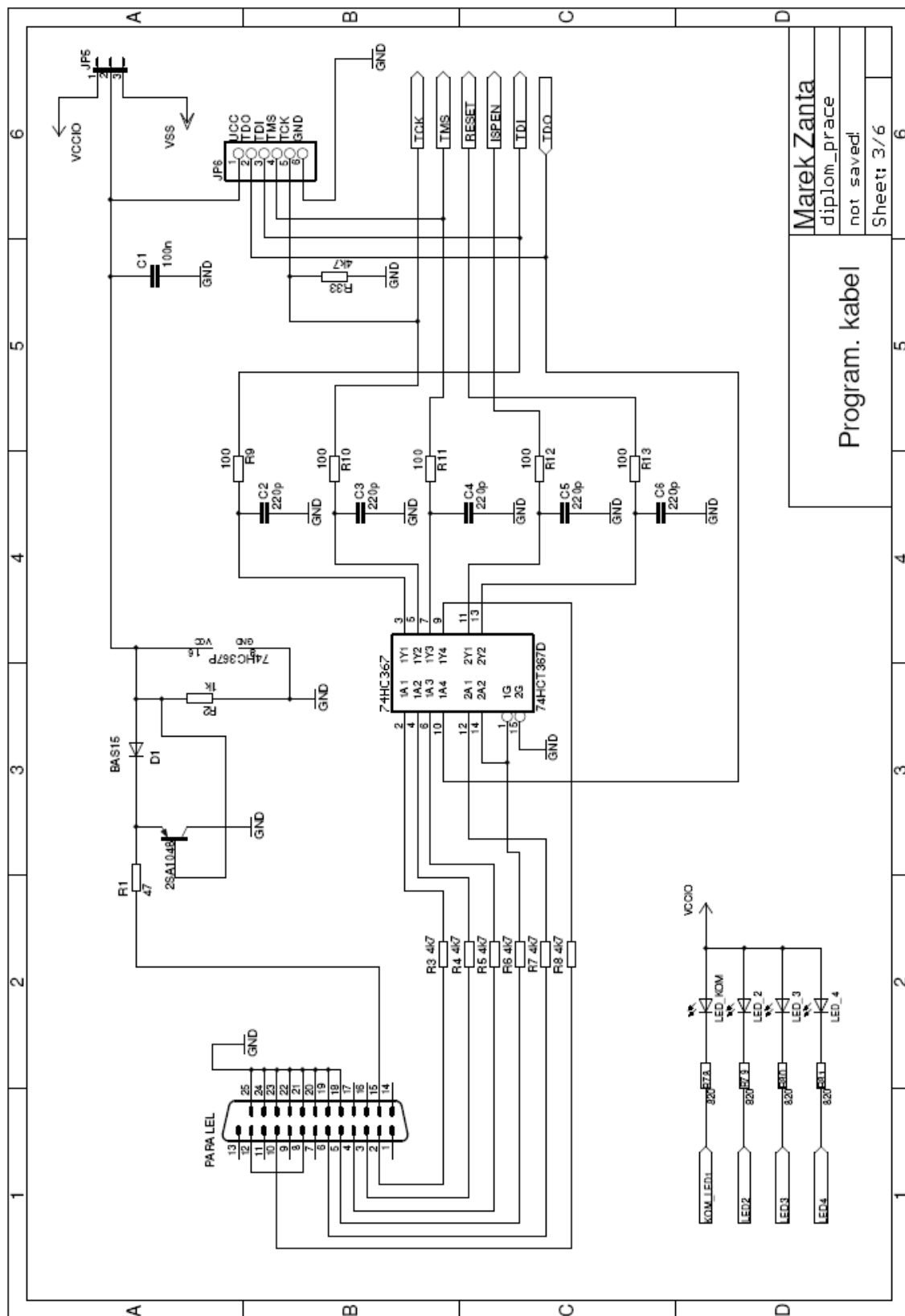
- [32] Žanta M.: Návrh a realizace přípravku pro výuku hradlových polí, FM Technická univerzita v Liberci, Bakalářská práce (Bc.), Liberec, 2009.

Přílohy

A. Schéma měřicí karty

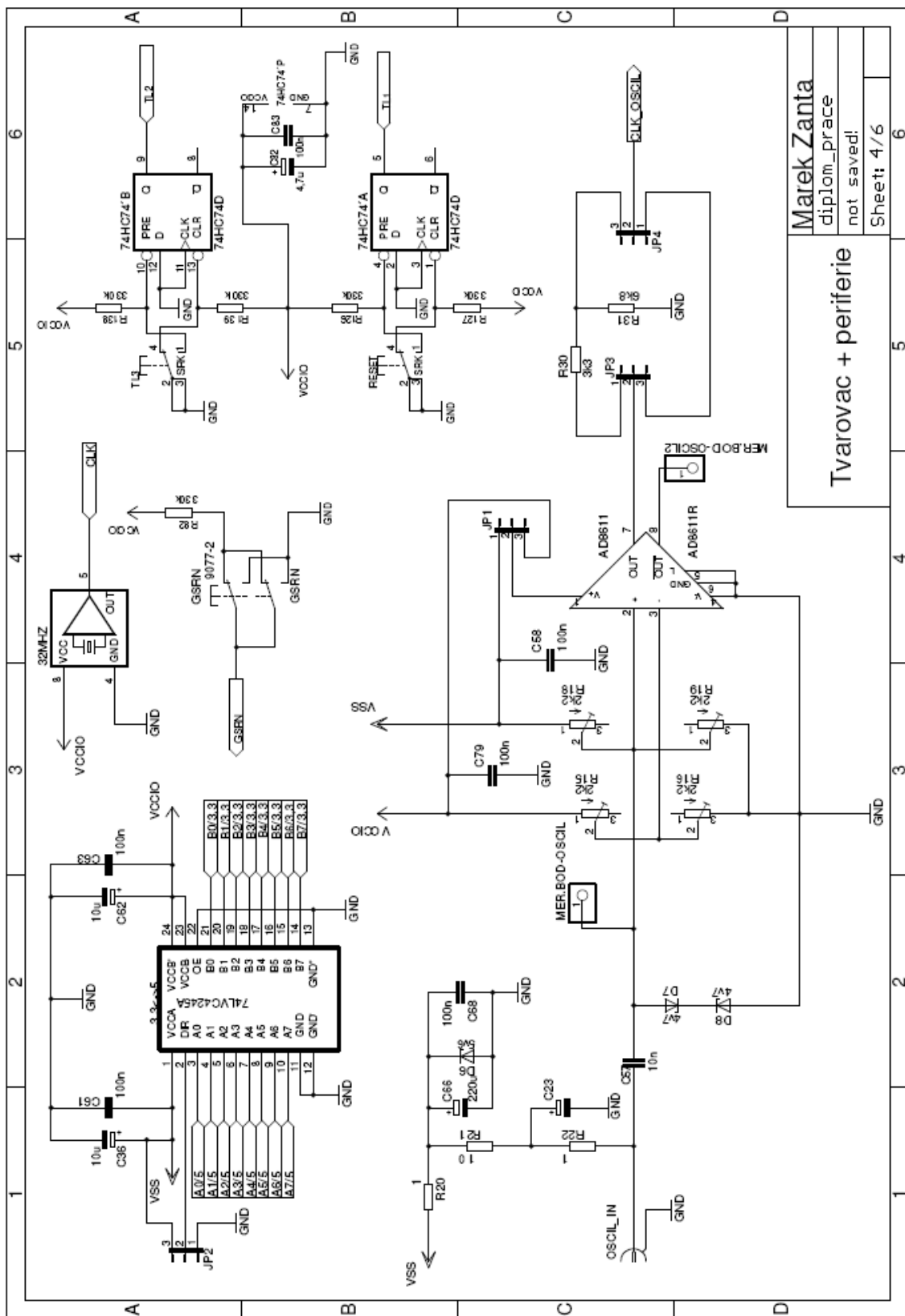


Marek Zanta		diplom_prace		not saved!	
Zdrojova cast		Sheet: 1/6			



Program. kabel

Marek Zanta
diplom_prace
not saved
Sheet: 3/6



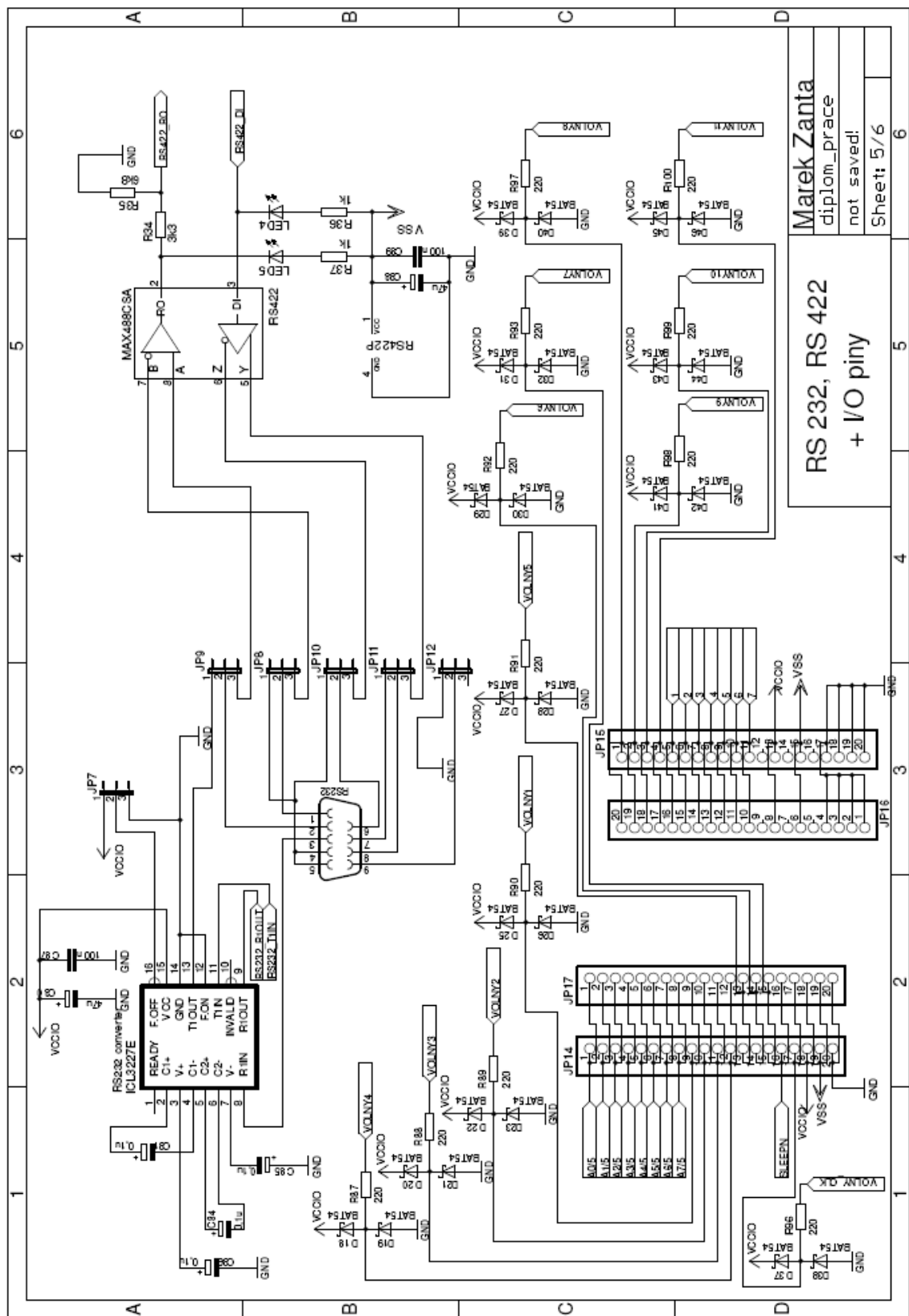
Marek Zanta

diplom_prace

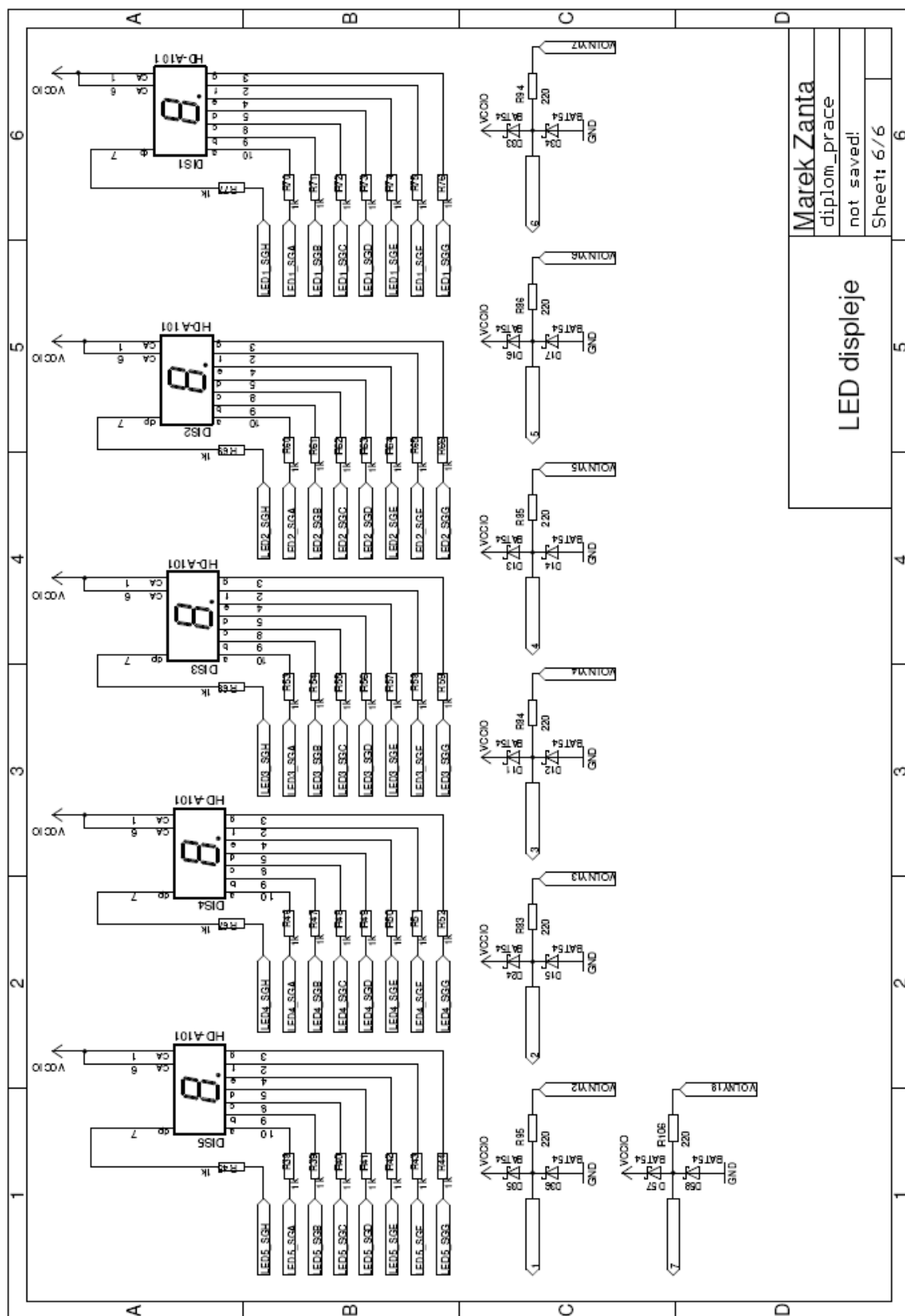
not saved!

Sheet: 4/6

Tvarovac + periferie

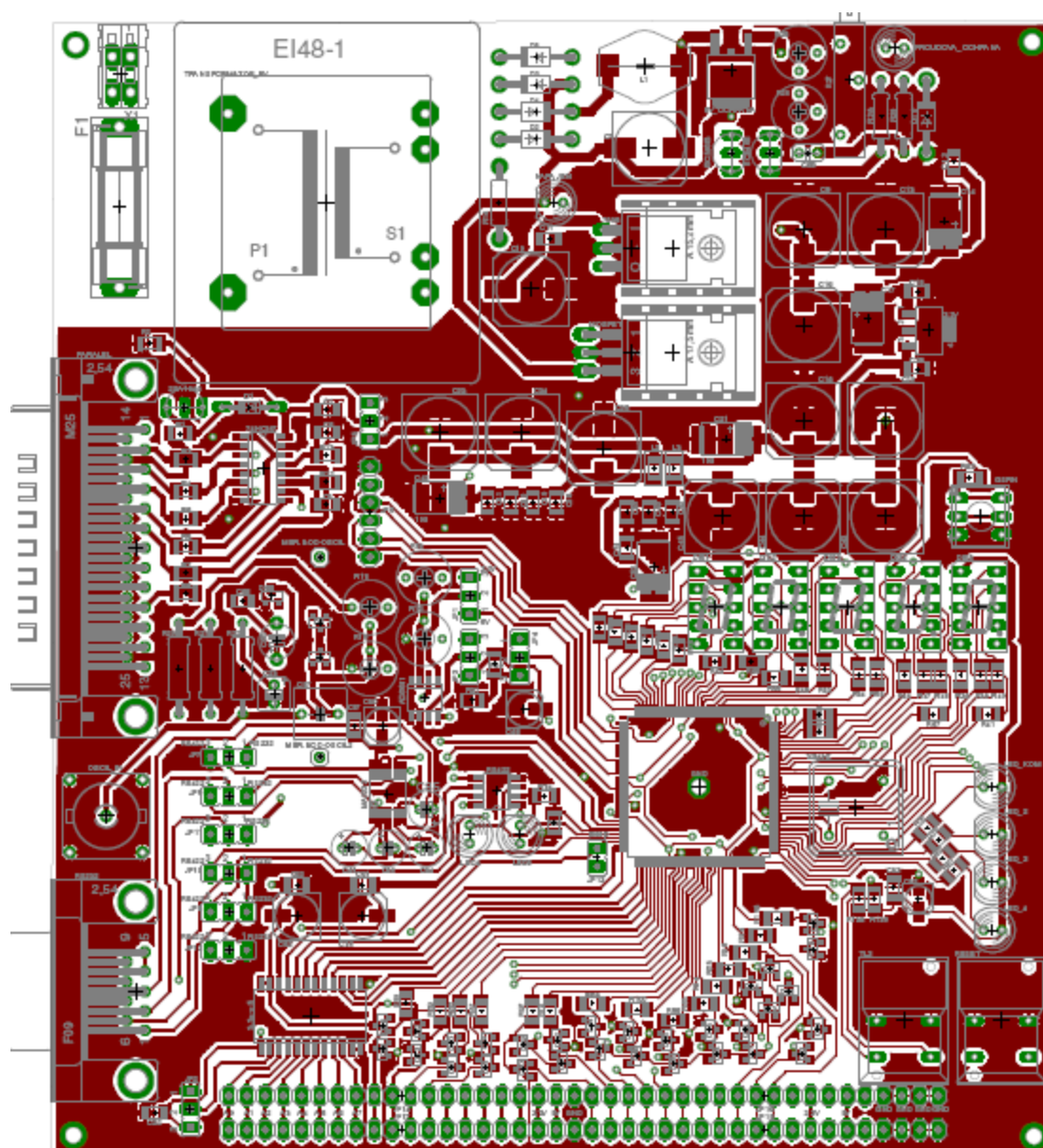


Marek Zanta
diplom_prace
not saved!
Sheet: 5/6

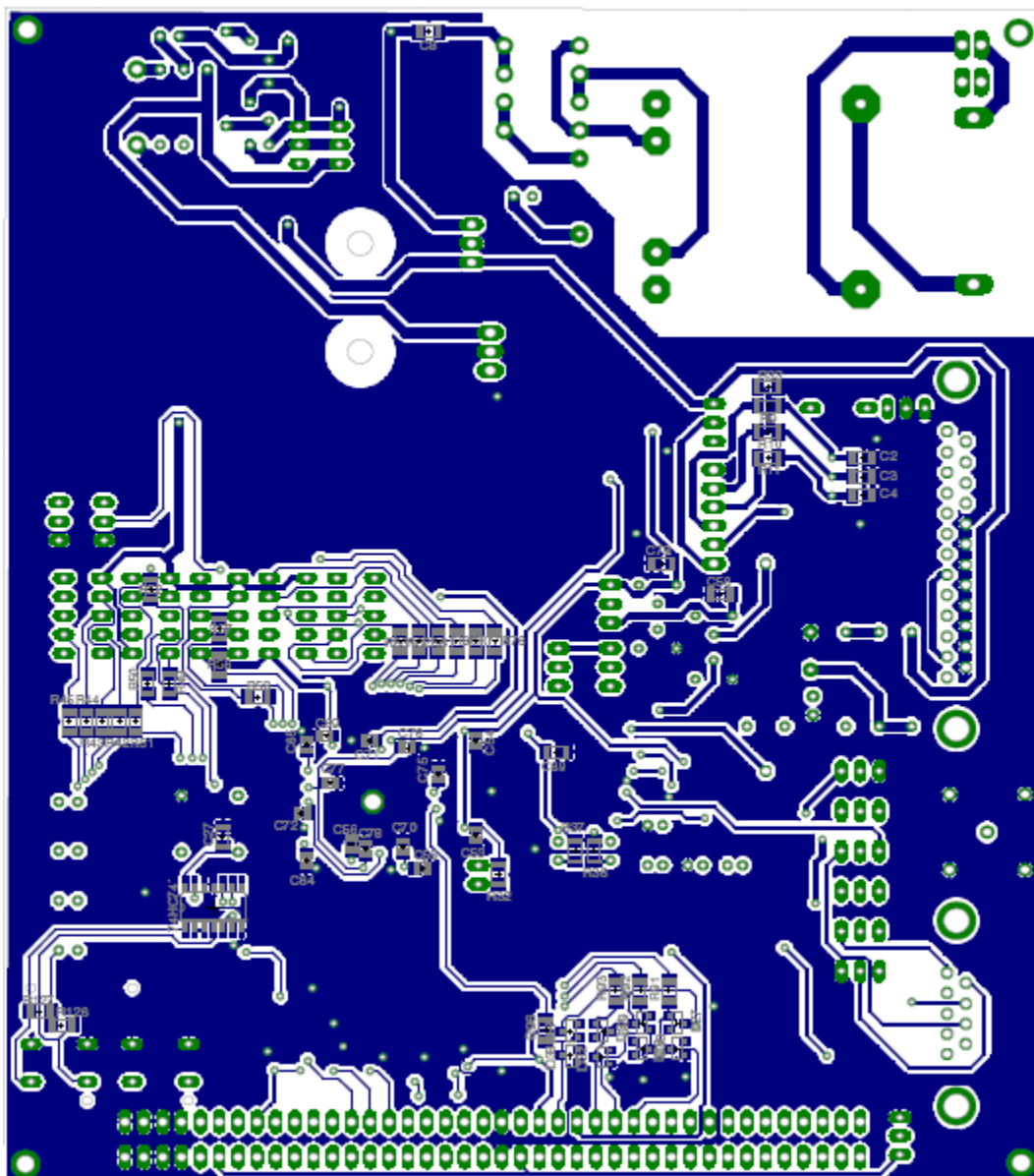


B. Návrh DPS měřicí karty

Vrchní strana DPS měřicí karty (TOP):



Spodní strana DPS měřicí karty (BOTTOM):



C. Osazená měřicí karta CMB



D. Seznam příloh v elektronické formě na CD

DP_Žanta.pdf	- diplomová práce ve formátu pdf
Schéma CMB	- návrh schématu karty CMB v programu EAGLE
DPS CMB	- návrh DPS karty CMB v programu EAGLE
Funkce FPGA	- kompletní návrh programu pro FPGA psaný v jazyce VHDL. Program uložen ve formátu pdf i jako projekt s vhd soubory
Funkce PLC OMRON	- návrh programu pro PLC (komunikační i matematické funkce úpravy signálu). Program uložen ve formátu pdf i jako CX- Programmer Project
Katalogové listy	- soubor obsahující používané datasheety součástek